


Labor Elektronische Schaltungen Prof. Dr. P. Stuwe Dipl.-Ing. B. Ahrend	Ostfalia Hochschule für angewandte Wissenschaften 
Versuch 7: Aufbau digitaler Schaltungen	

1 Theorie

Bipolare und unipolare Transistoren sind die Grundbausteine der digitalen Schaltungstechnik, wo zur Realisierung von logischen Verknüpfungen, Flip-Flops, Speicher etc. sehr viele Transistoren, Kapazitäten, Dioden und Widerstände auf einem Baustein (IC, Integrated Circuit) integriert sind.

Kennzeichnende Größen im Bereich der digitalen Logikbausteine sind die Verlustleistung P_V , die Gatterlaufzeit t_{pd} , das Laufzeit-Leistungsprodukt $P_V \cdot t_{pd}$ und die Betriebsspannung. Es werden typischerweise zwei verschiedene Technologien mit jeweils mehreren Varianten verwendet:

- TTL (Transistor-Transistor-Logik)
- CMOS (Komplementäre MOS-Logik)

Die Logikbausteine dieser Technologien unterscheiden sich in ihrem prinzipiellen internen Aufbau und arbeiten mit unterschiedlichen Pegeln (bzw. zulässigen Pegelbereichen) für die logischen Zustände HIGH und LOW (in Abb. 1 sind die Pegel für jew. ein TTL und ein CMOS-Gatter abgebildet). Der erste tiefgestellte Buchstabe gibt an, ob es sich um Eingang (Input I) oder Ausgang (Output O) handelt. Der zweite Buchstabe unterscheidet zwischen High (H) und Low (L) Pegel.

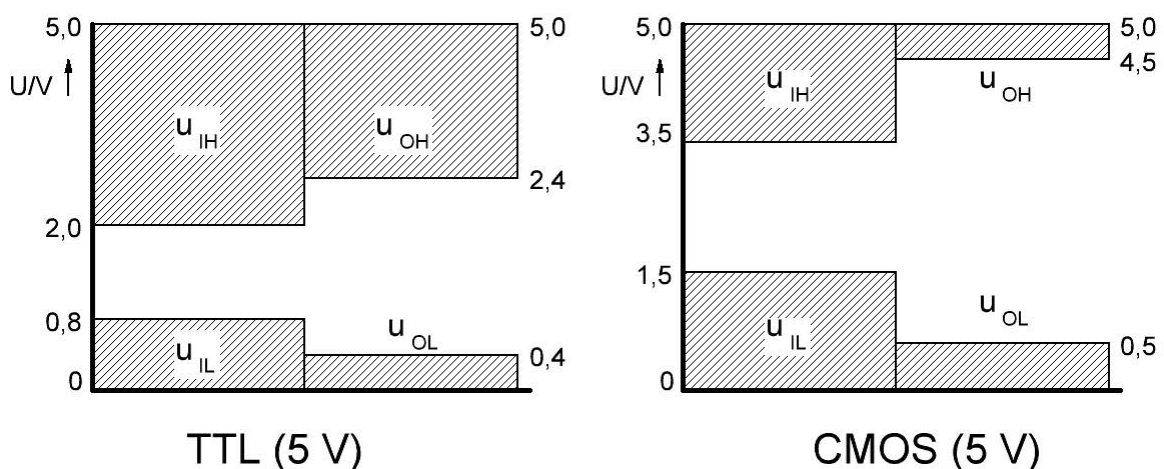


Abb. 1 : Erlaubte Bereiche der Eingangs- und Ausgangsspannungen

1.1.1 Logische Funktionen

Die logischen Grundfunktionen

- Konjunktion: $y = x_1 \wedge x_2 = x_1 \cdot x_2 = x_1 x_2$ (Gesprochen: y ist gleich x_1 und x_2)
- Disjunktion: $y = x_1 \vee x_2 = x_1 + x_2$ (Gesprochen: y ist gleich x_1 oder x_2)
- Negation: $y = \bar{x}$ (Gesprochen: y ist gleich x nicht)

lassen sich als elektronische Schaltungen realisieren. Solche Schaltungen besitzen einen oder mehrere Eingänge und einen Ausgang und werden in der Regel als Gatter bezeichnet.

Abb. 2 zeigt Wahrheitstabelle und Schaltzeichen der Grundfunktionen sowie weiterer gebräuchlicher Funktionen, welche sich aus Kombinationen der Grundfunktionen realisieren lassen. Zur Vereinfachung sind hier Gatter mit nur zwei Eingängen dargestellt.

Inverter <i>Inversion</i>	AND <i>Konjunktion</i>	NAND	OR <i>Disjunktion</i>	NOR	XOR Exklusiv ODER <i>Antivalenz</i>	XNOR <i>Äquivalenz</i>																																																																																																
$y = \bar{x}$	$y = x_0 x_1$	$y = \overline{x_0 x_1}$	$y = x_0 + x_1$	$y = \overline{x_0 + x_1}$	$y = x_0 \oplus x_1$	$y = x_0 \odot x_1$																																																																																																
<table border="1"> <tr><td>x</td><td>y</td></tr> <tr><td>0</td><td>1</td></tr> <tr><td>1</td><td>0</td></tr> </table>	x	y	0	1	1	0	<table border="1"> <tr><td>x_1</td><td>x_0</td><td>y</td></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table>	x_1	x_0	y	0	0	0	0	1	0	1	0	0	1	1	1	<table border="1"> <tr><td>x_1</td><td>x_0</td><td>y</td></tr> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </table>	x_1	x_0	y	0	0	1	0	1	1	1	0	1	1	1	0	<table border="1"> <tr><td>x_1</td><td>x_0</td><td>y</td></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table>	x_1	x_0	y	0	0	0	0	1	1	1	0	1	1	1	1	<table border="1"> <tr><td>x_1</td><td>x_0</td><td>y</td></tr> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </table>	x_1	x_0	y	0	0	1	0	1	0	1	0	0	1	1	0	<table border="1"> <tr><td>x_1</td><td>x_0</td><td>y</td></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </table>	x_1	x_0	y	0	0	0	0	1	1	1	0	1	1	1	0	<table border="1"> <tr><td>x_1</td><td>x_0</td><td>y</td></tr> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table>	x_1	x_0	y	0	0	1	0	1	0	1	0	0	1	1	1
x	y																																																																																																					
0	1																																																																																																					
1	0																																																																																																					
x_1	x_0	y																																																																																																				
0	0	0																																																																																																				
0	1	0																																																																																																				
1	0	0																																																																																																				
1	1	1																																																																																																				
x_1	x_0	y																																																																																																				
0	0	1																																																																																																				
0	1	1																																																																																																				
1	0	1																																																																																																				
1	1	0																																																																																																				
x_1	x_0	y																																																																																																				
0	0	0																																																																																																				
0	1	1																																																																																																				
1	0	1																																																																																																				
1	1	1																																																																																																				
x_1	x_0	y																																																																																																				
0	0	1																																																																																																				
0	1	0																																																																																																				
1	0	0																																																																																																				
1	1	0																																																																																																				
x_1	x_0	y																																																																																																				
0	0	0																																																																																																				
0	1	1																																																																																																				
1	0	1																																																																																																				
1	1	0																																																																																																				
x_1	x_0	y																																																																																																				
0	0	1																																																																																																				
0	1	0																																																																																																				
1	0	0																																																																																																				
1	1	1																																																																																																				

Abb. 2 : Logische Verknüpfungen

1.1.2 Flip-Flops

Neben den Gattern sind in der digitalen Schaltungstechnik Flip-Flops, welche aus mehreren Gattern aufgebaut sind, für die Realisierung von Zählern, Schieberegistern, Speichern, etc. von elementarer Bedeutung.

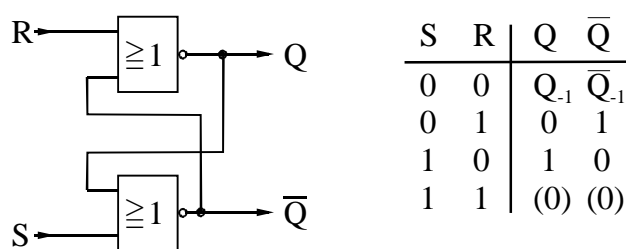


Abb. 3 : RS-FF und Wahrheitstabelle

RS-Flip-Flops

Ein einfaches RS-FF (Reset/Set-Flip-Flop) kann z.B. aus zwei NOR-Gattern gemäß Abb. 3 aufgebaut werden. Es handelt sich um ein nicht taktgesteuertes FF, d.h. die Zustände an R und S bestimmen unter Vernachlässigung der Gatterlaufzeiten unmittelbar den Ausgangszustand entsprechend der dargestellten Wahr-

heitstabelle.

Oftmals ist es erwünscht bzw. erforderlich, dass sich der Zustand eines FFs erst aufgrund eines Steuersignals ändert. Es ist dann ein zusätzlicher Steuereingang C vorhanden. Hierbei unterscheidet man taktzustandsgesteuerte und taktflankengesteuerte FFs. Bei den taktzustandsgesteuerten Typen reagieren die Ausgänge auf die Eingangszustände, solange das Steuersignal einen bestimmten Pegel aufweist. Bei den taktflankengesteuerten Typen reagieren die Ausgänge nur mit einer steigenden oder fallenden Flanke des Steuersignals auf die Eingangszustände.

D-Flip-Flops

Abb. 4 zeigt das Schaltzeichen und die Wahrheitstabelle eines taktzustandsgesteuerten D-FFs (Speicher Flip-Flop, Data Latch). Solange der Takt $C = 1$ ist, folgt der Ausgang Q unmittelbar dem Eingang D . Macht man $C = 0$ so wird der jeweils aktuelle Wert von Q zwischengespeichert.

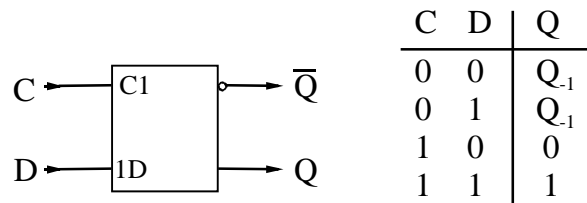


Abb. 4 : D-FF und Wahrheitstabelle

JK-Flip-Flops

Bei dieser Art von Flip-Flops (vgl. Abb. 5) wird z.B. mit der positiven Flanke des Taktes der Eingangszustand zwischengespeichert und mit der negativen Flanke zum Ausgang durchgeschaltet. Setzt man $J = 1$ und $K = 1$ so wird mit dem Taktimpuls der Ausgangszustand invertiert. Damit eignet sich diese Art von FFs insbesondere zum Aufbau von Schieberegistern und Zählern.

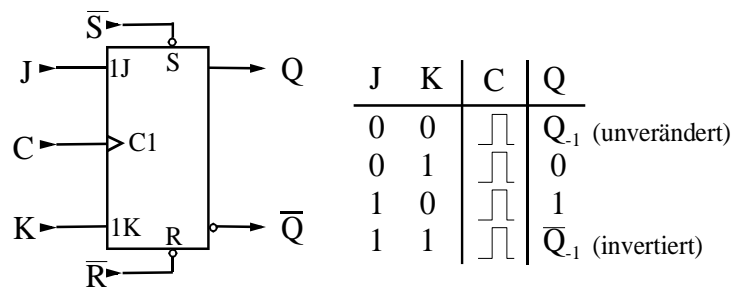


Abb. 5 : JK-FF und Wahrheitstabelle

1.2 Logiktechnologien

1.2.1 TTL

Abb. 6 zeigt den Aufbau eines NAND-Gatters des ICs 7400 aus der Familie 74xx (Standard-TTL). Diese ICs werden mit einer Versorgungsspannung von 5 V betrieben.

Befinden sich ein Eingang oder beide Eingänge auf LOW-Pegel, so schaltet der Doppel-Emitter-Transistor T_1 durch (es fließt ein Strom aus dem Baustein heraus, der Eingang wirkt als Stromquelle). Das Potential an der Basis von T_2 reicht nicht aus um T_2 durchzusteuern. Demzufolge ist T_3 durchgeschaltet und T_4 sperrt. Somit steht am Ausgang der HIGH-Pegel an. Der Strom, der aus dem Ausgang Q herausfließt, wird durch den Widerstand R_3 begrenzt.

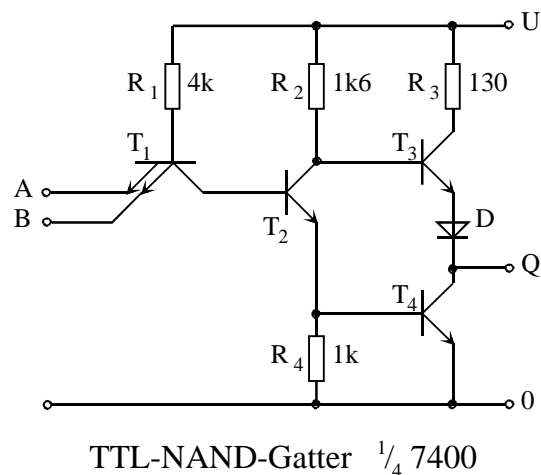


Abb. 6 : TTL-Standard-Gatter

Sind beide Eingänge HIGH, so sperrt T_1 und der Eingang ist hochohmig. T_2 wird über die durchgeschaltete Basis-Kollektor-Strecke von T_1 durchgesteuert. Damit schaltet T_4 durch und T_3 sperrt aufgrund der Potentialverschiebung durch die Diode. Der Ausgang liegt auf LOW-Pegel. Der Strom, der in den Ausgang hineinfließt, wird nur durch die äußere Beschaltung begrenzt. Diese Ausgangskonfiguration wird als *Totem-Pole* bezeichnet.

Einfache 74xx-Bausteine in ihrer Standardform kommen zwar noch vor, werden aber in Neuentwicklungen nicht mehr eingesetzt, da inzwischen verbesserte Versionen dieser Technologie zur Verfügung stehen.

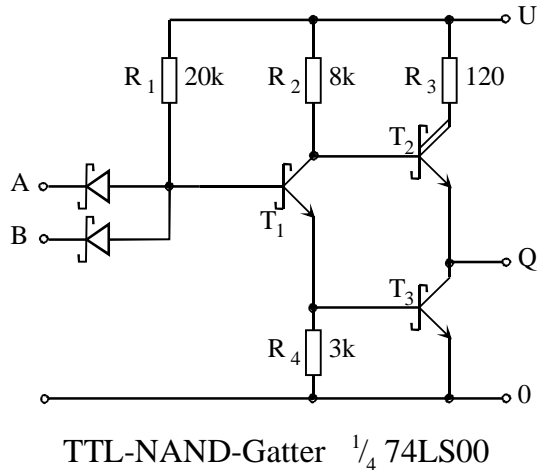


Abb. 7 : Aufbau eines TTL-LS_Gatters

Die vereinfachte Schaltung eines NAND-Gatters des ICs 74LS00 zeigt Abb. 7. Gegenüber dem 7400-Gatter ist hier der Eingangstransistor durch schnelle Schottky-Dioden ersetzt worden. Des Weiteren wurden die Transistoren mit Schottky-Dioden über der Kollektor-Basis-Strecke ausgestattet, was verhindert, dass ein Transistor in die Sättigung gerät (vgl. Versuch „Halbleiterbauelemente als Schalter“). Die Diode in der Ausgangsstufe ist praktisch im Darlingtontransistor T_2 enthalten.

Die weiteren TTL-Familien (74Sxx, 74ALSxx, 74Fxx, 74ASxx usw.) unterscheiden sich im internen Aufbau und in den Kenngrößen, sind aber i.A. untereinander (Pin-) kompatibel.

Neben dem Totem Pole Ausgang finden noch zwei weitere Varianten Verwendung: Der *Open-Collector*- und der *Tristate*- Ausgang. Der Open-Collector-Ausgang besteht aus nur einem Transistor gegen Masse und kann zu bestimmten Anwendungen mit beliebig vielen anderen Open-Collector-Ausgängen parallelgeschaltet werden. Der Tristate-Ausgang lässt sich über einen separaten Eingang (vgl. Abb. 8) in den hochohmigen Zustand schalten (beide Transistoren der Ausgangsstufe sperren) und kann ebenfalls mit anderen Tristate-Ausgängen verbunden werden, muss aber entsprechend angesteuert werden. Tristate wird insbesondere bei Bus-Systemen verwendet.

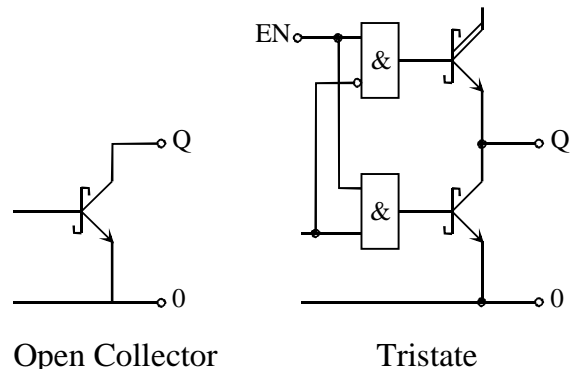
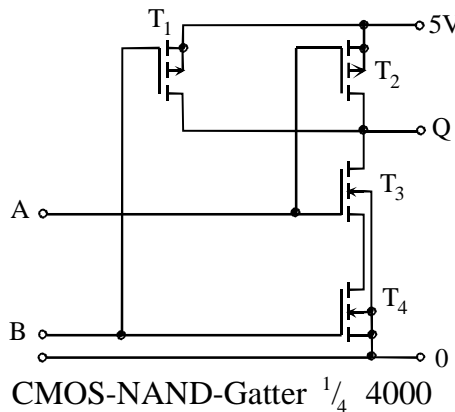


Abb. 8 : Logik-Ausgänge

Ein weiteres kennzeichnendes Merkmal eines jeden Logik-Ausgangs ist sein FANOUT (Lastfaktor) welches angibt, wie viele Eingänge nachfolgender Gatter angesteuert werden können, ohne dass der zulässige Ausgangspegelbereich der jeweiligen Logik (siehe Abb. 1) verlassen wird.

1.2.2 CMOS

In der CMOS-Serie wird fast ausschließlich mit selbstsperrenden p- und n-Kanal MOSFETs gearbeitet, deren Schwellenspannung bei $-1,5\text{ V}$ bzw. $+1,5\text{ V}$ liegt (vgl. Abb. 1). Die n-Kanal-FETs werden in Sourceschaltung bezogen auf das Masse-Potential betrieben und sperren bei einem LOW-Pegel von $U_e \leq 1,5\text{ V}$. Die p-Kanal-FETs werden ebenfalls in Sourceschaltung betrieben, allerdings ist das Bezugspotential die Betriebsspannung. Somit sperren sie bei einem HIGH-Pegel von $U_e \geq 3,5\text{ V}$ (Bei einer Betriebsspannung von $U_B = 5\text{ V}$).



In Abb. 9 ist die vereinfachte Schaltung eines CMOS-NAND-Gatters dargestellt. Ist maximal einer der Eingänge A und B auf HIGH-Potential, so sperren T_3 oder T_4 während T_1 oder T_2 leiten, der Ausgang liegt also auf HIGH. Erst wenn beide Eingänge auf HIGH liegen, sperren T_1 und T_2 . In diesem Fall leiten T_3 und T_4 , wodurch der Ausgang auf LOW geht.

Die Verlustleistung der CMOS-Serie ist bei niedrigen Frequenzen extrem klein. Sie steigt jedoch mit der Frequenz sehr stark an (Umladung der internen Kapazitäten) und erreicht in der Nähe von 10 MHz ähnliche Werte wie bei der TTL-Logik.

Abb. 9 : Aufbau eines CMOS-Gatters


Vorteil der CMOS-Logik ist der große Störabstand (siehe Abb. 1) sowie der geringe Leistungsumsatz. Ein weiterer Vorteil der CMOS-Standard-Serie (CD40xx / HEF40xx /

MC140xx) ist der große Betriebsspannungsbereich: $U_B = 3...15\text{ V}$.

Die später entwickelten, schnelleren Serien 74HCxx / 74HCTxx und 74ACxx / 74ACTxx arbeiten mit einer Betriebsspannung von $U_B \approx 2...6\text{ V}$. Sie sind in vielen Fällen Pin-kompatibel zu TTL. Die 74HCTxx / 74ACTxx Serie ist zusätzlich Pegel-kompatibel zu TTL.

In Hinsicht auf die Schaltzeiten rangiert CMOS hinter ECL und TTL, was auf die Umladevorgänge an den Gate-Source- und Drain-Source-Kapazitäten zurückzuführen ist.

Werden CMOS-Logik-Funktionen in „große“ ICs (Standard-Logik-ICs oder kundenspezifische ICs (ASICs) eingesetzt, so ist dort der Leistungsbedarf wegen kleiner Geometrie und extrem kurzen Leitungen sehr gering.

Labor Elektronische Schaltungen Prof. Dr. P. Stuwe Dipl.-Ing. B. Ahrend			
Versuch 7: Aufbau digitaler Schaltungen			
Gruppennummer:	Name:	Matr.-Nr.:	
Datum:	Name:	Matr.-Nr.:	
Name:	Name:	Matr.-Nr.:	
Vortestat	Durchführung (Note)	Bericht (Note)	Gesamtbewertung

2 Versuchsvorbereitung

Bitte beachten: Die Messwerte des Oszilloskops müssen auf einem USB-Stick archiviert werden. Bringen Sie unbedingt einen Stick am Versuchstag mit. Sollten Sie über keinen verfügen, melden Sie sich bitte rechtzeitig!

2.1 Vorbereitung der notwendigen Messschaltungen

Entwerfen Sie alle erforderlichen Schaltungen (Belegung der Pins beachten) für die Messungen aus Aufgabe 3.1. Legen Sie jeweils alle nicht benutzten Eingänge auf HIGH-Potential.

2.2 Abschätzung der zu erwartenden Leistungsparameter

Mit welchen Durchlaufzeiten (Herstellerangaben) der einzelnen Gatter rechnen Sie bei einer Versuchsanordnung gemäß Aufgabe 3.1.1?

Wie groß (Abschätzung) ist der (konstante) Eingangsstrom (Gatterstrom) beim TTL-IC aus Bild 6 wenn HIGH-/LOW-PEGEL anliegen?

2.3 Entwurf eines synchronen Zählers

Entwerfen Sie einen **synchronen** 0 - 12 (Vorwärts-) Zähler mit 4 JK-FFs. Nutzen Sie dazu die Vordrucke im Anhang A des Versuchsumdrucks. Zur Verfügung stehen lediglich die folgenden Bausteine: 74LS08, 74LS32, 74LS76. Simulieren Sie anschließend Ihre entworfene Schaltung mit PSPICE oder einem ähnlichen Simulationsprogramm (z.B. **Digitalsimulator**) und stellen Sie sowohl die aufgebaute Schaltung als auch das Simulationsergebnis dar.

2.4 Funktion des Taktgenerators

Erklären Sie die Funktion des Taktgenerators aus Abb. 11 in wenigen Sätzen (ca. viertel Seite)

3 Versuchsdurchführung

Zur Verfügung stehende Geräte:

- DIGI BOARD (Enthält: acht 20-polige, einen 28-poligen und einen 40-poligen IC-Sockel mit Schnellspannvorrichtung, mehrpolige Rundfassungen für Widerstände etc., 12-fach LED-Anzeige, 7-Segment-Anzeige mit Dual/7-Segment-Decoder, 100 kHz Taktgenerator, Frequenzteiler, usw.)
- Digitaloszilloskop MSO 7032B
- Funktionsgenerator Keysight 33600A
- Digitalmultimeter Keysight 34461A

Alle Schaltungen werden ausschließlich auf dem „DIGI BOARD“ aufgebaut. Auf- und Abbau der Schaltungen darf ausschließlich bei ausgeschaltetem DIGI BOARD erfolgen!

Speichern mit dem Oszilloskop

Nachdem der USB-Stick erkannt wurde, können die Bilder mit zwei Tastendrücken gespeichert werden. Nach Drücken der Taste *Save/Recall* gelangt man in das Speichermenü in dem das Bild sofort mit dem Softkey *Press to Save* gespeichert werden kann. Durch Betätigen des Softkeys *Save* im gleichen Menü, können die Einstellungen beim Speichern verändert werden (Ausgabeformat, Speichermedium). Insbesondere sollte unter dem Menüpunkt *Settings*, die Option *Invert. Grät* ausgewählt sein, damit das Bild mit weißem Hintergrund gespeichert wird.

3.1 Messung der elektrischen Eigenschaften digitaler Gatter

Im ersten Versuchsteil werden die elektrischen Eigenschaften verschiedener Logikfamilien untersucht. Dazu gehören neben der Durchlaufverzögerung auch die Strom- und Leistungsaufnahme.

3.1.1 Messung der Durchlaufverzögerung von TTL- und CMOS-ICs

In diesem Versuchsteil werden zunächst die Durchlaufverzögerungen eines TTL-NAND-Gatters 74LS00 sowie eines CMOS-NAND-Gatters 4011 ($U_B = 5\text{ V}$) bestimmt.

Da die Durchlaufverzögerung dieser Gatter im *ns*-Bereich liegt, ist sie messtechnisch schwer zu erfassen. Zur Vereinfachung wird daher die (Gesamt-)Durchlaufverzögerung t_{ges} mehrerer hintereinander geschalteter Gatter (Anzahl n) bestimmt und anschließend eine mittlere Durchlaufverzögerung \bar{t}_V pro Gatter berechnet:

$$\bar{t}_V = \frac{t_{\text{ges}}}{n}$$

Durchführung:

- Bestimmen Sie jeweils die mittlere Durchlaufverzögerung der angegebenen Gatter (vier Gatter hintereinandergeschaltet) über eine Messung am Oszilloskop. Als Signalquelle kann der Taktgenerator des DIGI BOARDS verwendet werden.

3.1.2 Messung der Eingangsströme

- Messen Sie jeweils die Eingangsströme bei (konstantem) HIGH- und LOW-Pegel am Eingang (offene Ausgänge) jeweils bei einem NAND-Gatter des Typen 74LS00 und 4011. Wenn Sie noch Zeit haben können Sie zusätzlich andere Typen untersuchen, z.B. einen 74HCT00 oder den in der Vorbereitung verwendeten 7400.

3.1.3 Vergleich der Leistungsaufnahme von TTL- und CMOS-ICs

Bestimmen Sie die Abhängigkeit der Leistungsaufnahme eines TTL- und eines CMOS-Gatters von der Signalfrequenz $P_{\text{Gatter}} = f(f)$ über eine Messung des Betriebsstromes I_B im Bereich $100 \text{ kHz} < f < 5 \text{ MHz}$. (Signal an nur einem Gattereingang). Erzeugen Sie hierfür mit dem Funktionsgenerator 33600A ein TTL-Signal (Rechteck mit Spitze-Tal-Wert $\hat{u} = 5 \text{ V}$, Gleichspannungsoffset $U = 2,5 \text{ V}$, am Oszilloskop überprüfen!).

Hinweis: Die ermittelten Leistungen stimmen nicht exakt mit den in Datenblättern angegebenen Werten überein, da eine korrekte Messung hier zu aufwendig wäre (hohe Frequenzen). Die festzustellende Tendenz ist jedoch richtig.

3.2 Aufbau eines synchronen Zählers

Im Folgenden soll gemäß 2.3 ein **synchroner** 0 - 12 (Aufwärts-) Zähler mit 4 JK-FFs aufgebaut werden. Das Rücksetzen darf/soll nicht asynchron erfolgen!

Durchführung:

- Die entworfene Schaltung ist aufzubauen und zu Testzwecken mit einem Taktgenerator gemäß Abb. 11 auszustatten. Alternativ können Sie als Taktquelle für die ersten Tests auch einen Taster verwenden und dann die einzelnen Zählerstände durchtasten.

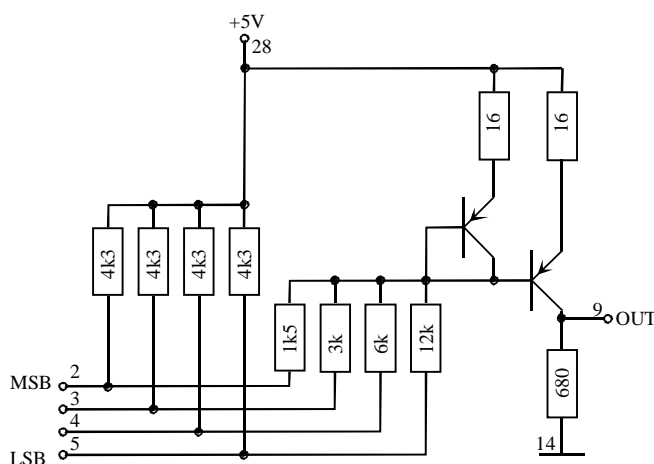


Abb. 10 : DA-Wandler

- Wenn die Schaltung die gewünschte Funktion zeigt, wecheln Sie den $100 \mu\text{F}$ -Kondensator gegen einen $1 \mu\text{F}$ -Kondensator aus und stattdessen Sie die Schaltung mit einem DA-Wandler nach Abb. 10 aus (Der DA-Wandler ist bereits in Form eines „ICs“ fertig aufgebaut). Stellen Sie das Ausgangssignal des DA-Wandlers auf dem Oszilloskop dar und drucken Sie das Ergebnis aus.

Zu Testzwecken können Sie den Taster des Versuchs Bretts als Taktgeber verwenden und die Ausgänge der Flip-Flops auf die LCD-Anzeige geben.

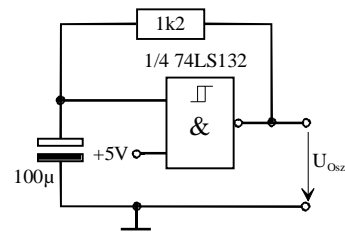


Abb. 11 : Einfacher Taktgenerator

3.3 Zusatzaufgabe „Impulsdiagramm“

Zeichnen Sie das Impulsdiagramm des synchronen Zählers mit dem Oszilloskop (Digitale Kanäle) auf und speichern Sie die Darstellung mit den wichtigsten Signalen (Flip-Flop Ausgänge und Taktsignal) auf dem USB-Stick.

Literaturverzeichnis:

- [1] U. Tietze, Ch. Schenk: Halbleiter-Schaltungstechnik, 13. Aufl., Springer-Verlag 2010
- [2] CMOS-Taschenbuch 1, 12. Aufl., IWT Verlag 1996
- [3] TTL-Taschenbuch Teil 1, 9. Aufl., IWT Verlag 1996

4 Auswertung

4.1 Vergleich der gemessenen Leistungsdaten

Vergleichen Sie die gemessenen Merkmale von TTL- und CMOS-Gattern und beantworten Sie zusätzlich die folgenden Fragen:

- 1) Worin liegen die Unterschiede zwischen CMOS und TTL-Gattern bei der Stromaufnahme und warum?
- 2) Zeigen CMOS-Gatter eine andere Eigenschaft in der Leistungsaufnahme bei steigender Frequenz als TTL-Gatter und wenn ja, weshalb?

4.2 Funktion des synchronen Zählers

Stellen Sie Ihr aufgenommenes Schirmbild dar und erläutern Sie, ob es Ihren Erwartungen entspricht.

4.3 Funktion des DA-Wandlers

Erklären Sie mit eigenen Worten wie der Digital-Analog-Wandler aus Abb. 10 arbeitet. Erklären Sie mit Hilfe Ihres Schirmbildes aus 3.2 die vorhandene Invertierung.

Anhang A - Hilfsmittel für den Entwurf des Zählers

1. Vervollständigen Sie Tabelle 1. Tragen Sie die erforderlichen Zustände an den Vorbereitungseingängen J und K ein, damit an den Ausgängen $Q_0 - Q_3$ die entsprechenden Bitmuster erscheinen. Füllen Sie auch die Bits der Ausgänge $Q_0 - Q_3$ dazu weiter aus.

2. Realisieren Sie die Größen J und K mit Hilfe der KV-Tafeln (Abb. A1) und vervollständigen Sie die vorgegebene Schaltung in Abb. A2 (Pin-Nummern nicht vergessen!). Zur Verfügung stehen ausschließlich die folgenden Bausteine: 74LS08, 74LS32, 74LS76.

Tabelle 1 Zustandfolgetabelle des synchronen (Vorwärts-) Zählers

N	Q_3	Q_2	Q_1	Q_0	J_3	K_3	J_2	K_2	J_1	K_1	J_0	K_0
0	0	0	0	0								
1	0	0	0	1								
2	0	0	1	0								
3												
4												
5												
6												
7												
8												
9												
10												
11												
12												

Hinweis: Die hier nicht aufgeführten Zustände 13-15 eines 4-Bit-Zählers brauchen nicht beachtet werden (sind aber für die spätere Vereinfachung hilfreich).

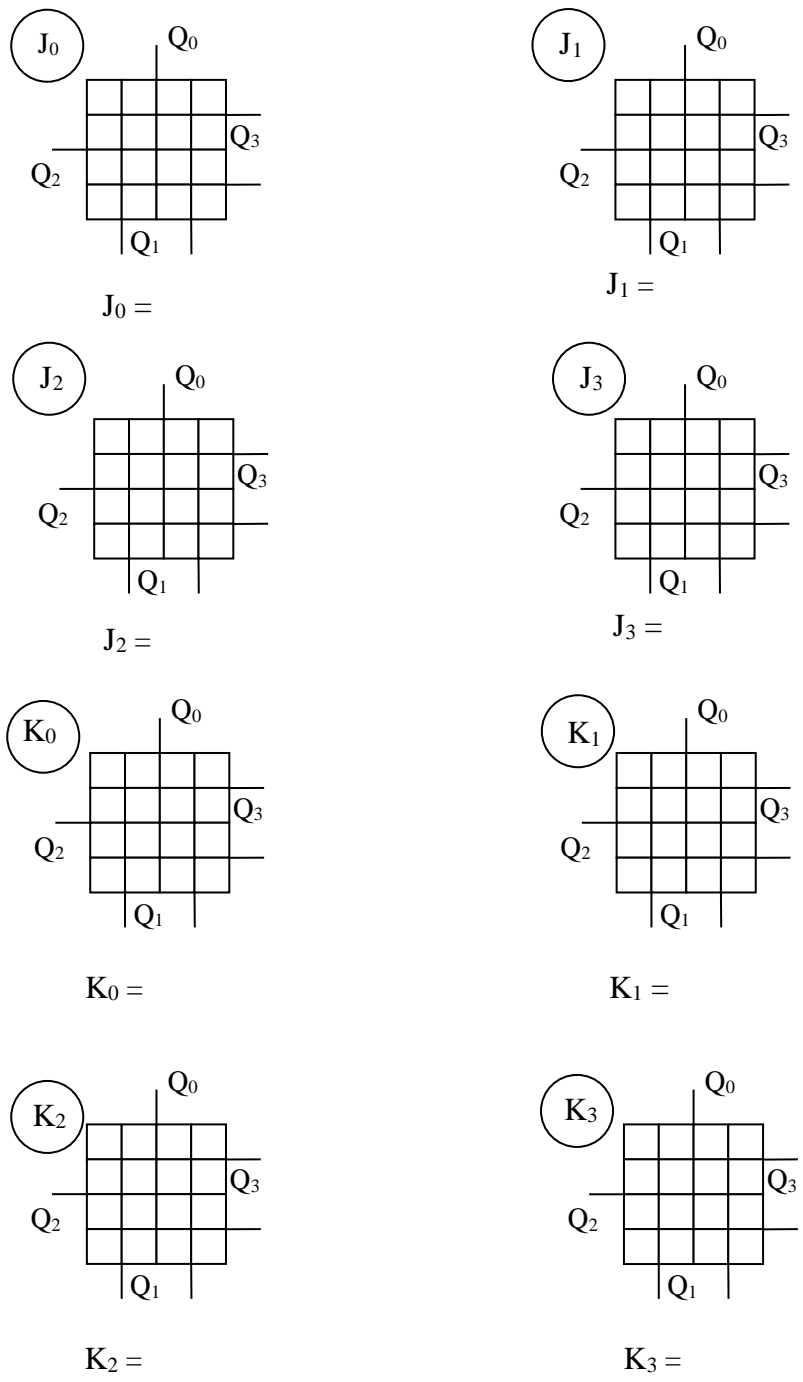


Abb. A1 : KV-Diagramme zur Realisierung von J und K

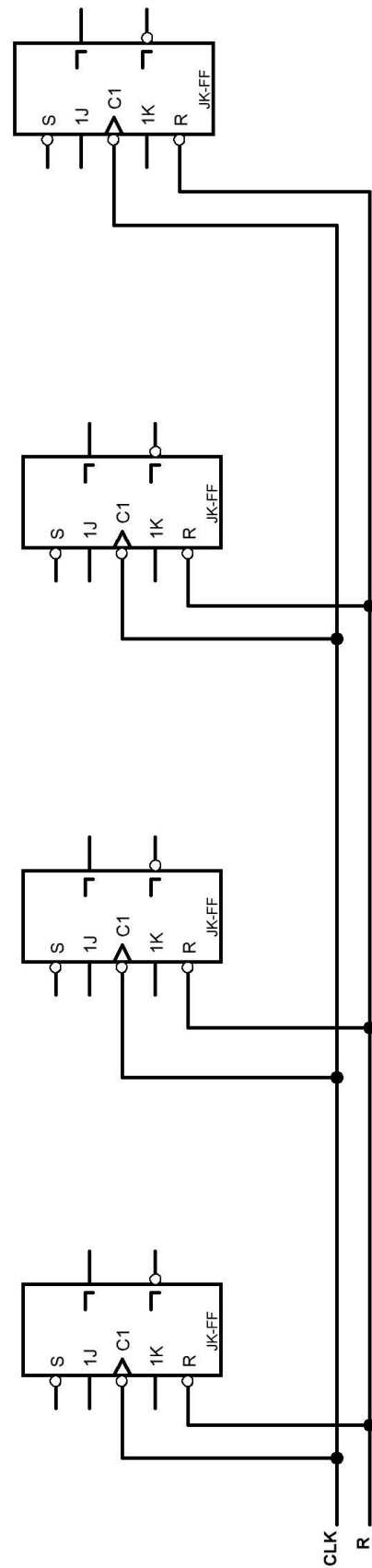
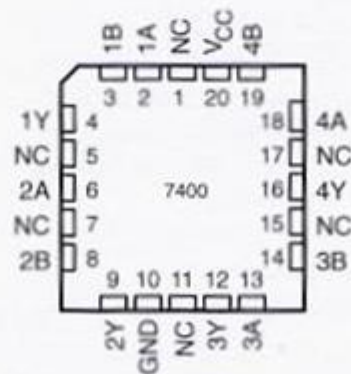
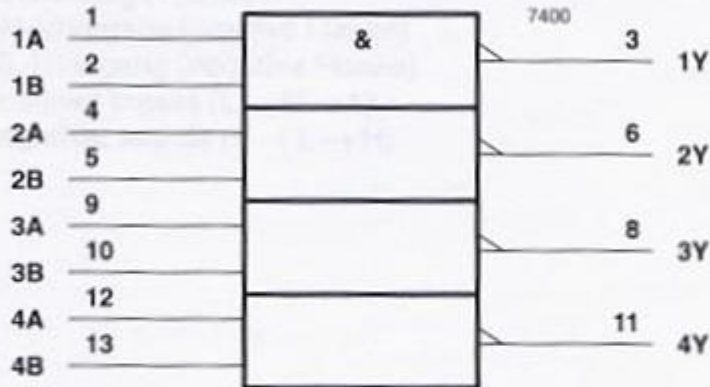
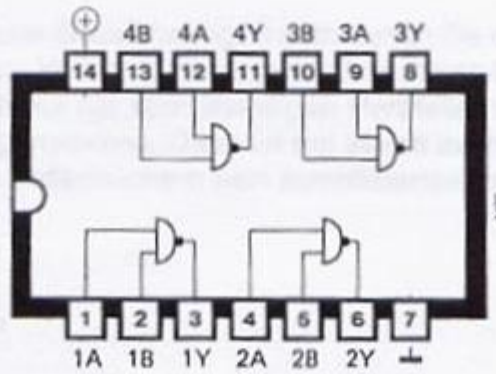


Abb. A2: Schaltung des Zählers (zu vervollständigen)



7400

Vier NAND-Gatter mit je 2 Eingängen

Fortsetzung :

	AMD	FA	HIT	MMI	MOT	NS	SGS	SIE	TI	TOS	VA
Std	•	•				•		•	•	•	•
ALS					•	•			•		
AS						•			•		
F	•				•				•		•
H	•					•			•		
L						•			•		
LS	•	•			•	•	•		•		•
S	•	•				•			•		•

Eingänge		Ausgang
A	B	Y
L	X	H
X	L	H
H	H	L

Beschreibung:

Dieser Baustein enthält vier getrennte NAND-Gatter mit je 2 Eingängen.

Betrieb:

Alle vier NAND-Gatter können unabhängig voneinander verwendet werden. Bei jedem Gatter wird mit einem oder beiden Eingängen auf Low der Ausgang High sein. Sind beide Eingänge High, wird der Ausgang Low sein.

Anwendung:

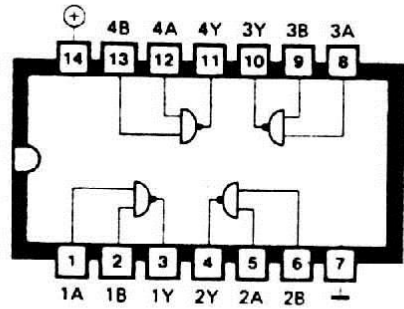
Realisierung von NAND-, UND- und Inverter-Funktionen.

Daten:

	Std	ALS	AS	F	LS	S	
Durchlauf-Verzögerung	10	6	2.6	3.4	9.5	3	ns
Stromaufnahme	8	1	4	4.4	2	15	mA

7400

Vier NAND-Gatter mit je 2 Eingängen



Beschreibung:

Dieser Baustein enthält vier getrennte NAND-Gatter mit je 2 Eingängen.

Betrieb:

Alle vier NAND-Gatter mit positiver Logik können unabhängig voneinander verwendet werden.

Bei jedem Gatter wird mit einem oder beiden Eingängen auf Low der Ausgang High sein. Sind beide Eingänge High, wird der Ausgang Low sein.

Eingänge		Ausgang
A	B	Y
L	X	H
X	L	H
H	H	L

Anwendung:

Realisierung von NAND-, UND- und Inverter-Funktionen, Oszillatoren

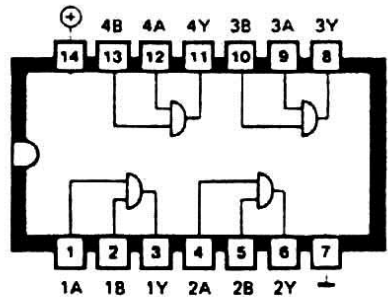
Daten:	5V	10V	
Durchlauf-Verzögerung	60	25	ns
Stromaufnahme bei 1 MHz	0.4	0.8	mA

Hersteller:

FA, HIT, MOT, NS, RCA, SGS, SOL, SSS, TOS, VA

Vier NAND-Gatter mit je 2 Eingängen

4011



Beschreibung:

Dieser Baustein enthält vier getrennte UND-Gatter mit je 2 Eingängen.

Betrieb:

Alle vier UND-Gatter können unabhängig voneinander betrieben werden.
Bei jedem Gatter wird mit einem oder beiden Eingängen auf Low der Ausgang Low sein.
Sind beide Eingänge High, so wird der Ausgang High sein.

Eingänge		Ausgang
A	B	Y
L	X	L
X	L	L
H	H	H

Anwendung:

Realisierung von UND-Funktionen, nicht-invertierende Puffer.

Daten:

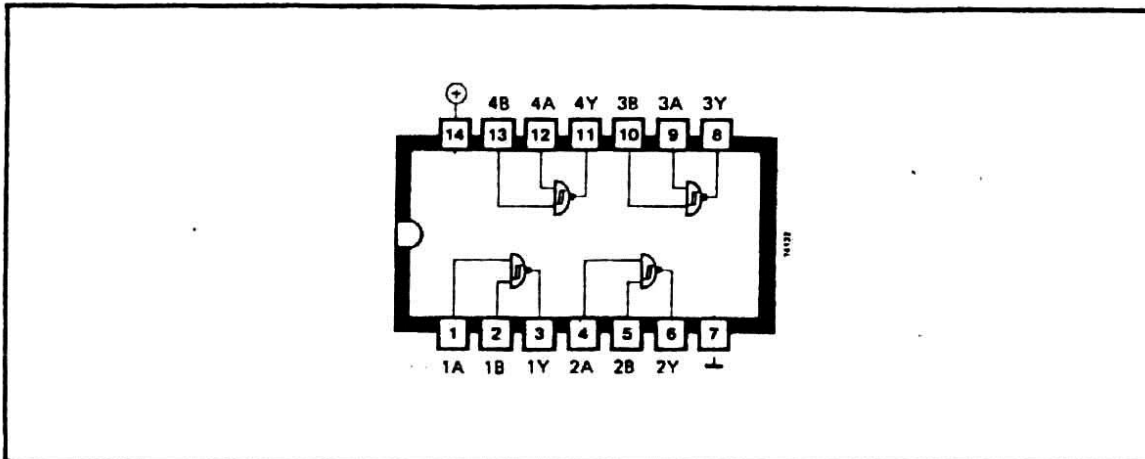
	Std	ALS	AS	F	LS	S
Durchlauf-Verzögerung	17.5	9	3.25	4.1	8	4.5 ns
Stromaufnahme	15	2	10	7.1	3	25 mA

Familien:

Std	ALS	AS	F	H	L	LS	S
●	●	●	●	●	●	●	●

Vier UND-Gatter mit je 2 Eingängen

7408



Beschreibung:

Dieser Baustein enthält vier NAND-Gatter mit je 2 Eingängen und Schmitt-Trigger-Funktion.

Betrieb:

Alle vier NAND-Gatter können unabhängig voneinander verwendet werden. Bei jedem Gatter wird mit einem oder beiden Eingängen auf Low der Ausgang High sein. Sind beide Eingänge High, wird der Ausgang Low sein. Wenn auch dieser Baustein als gewöhnliches NAND-Gatter verwendet werden kann, so macht doch eine interne Hysterese an den Eingängen den Baustein ideal für verrauschte oder sich langsam ändernde Eingangspegel. Bei einer in positive Richtung ansteigenden Eingangsspannung wird sich der Ausgang bei ca. 1.7V ändern. In negative Richtung erfolgt die Änderung der Ausgangsspannung dagegen bei einer Eingangsspannung von ca. 0.9V. Daher beträgt die Hysterese, oder das "Tot-Band" 0.8V. Infolgedessen können die Bausteine durch sehr flache Eingangsfanken und durch Gleichspannung getriggert werden, wobei sie ein sauberes Ausgangssignal abgeben. Die Hysterese ist intern temperatur-kompensiert. Die Anschlußbelegung entspricht dem 7400.

Eingänge		Ausgang
A	B	Y
L	X	H
X	L	H
H	H	L

Anwendung:

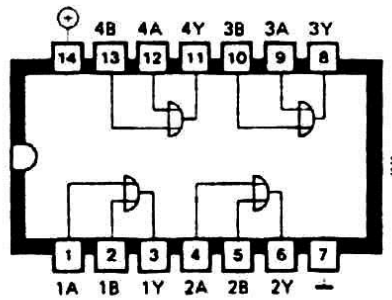
NAND-Gatter bei verrauschten oder sich langsam ändernden Eingangspegeln, Impulsformer, astabile und monostabile Multivibratoren, Schwellwert-Detektor.

Daten:	Std	ALS	AS	LS	S	
Durchlauf-Verzögerung	15	8	6.3	15	7.5	ns
Stromaufnahme	20	8	13	7	36	mA

Familien:	Std	ALS	AS	F	H	L	LS	S
	●	●		●			●	●

Vier NAND-Schmitt-Trigger mit je 2 Eingängen

74132



Beschreibung:

Dieser Baustein enthält vier getrennte ODER-Gatter mit je 2 Eingängen.

Betrieb:

Alle vier ODER-Gatter können unabhängig voneinander verwendet werden. Bei jedem Gatter wird mit einem oder beiden Eingängen auf High der Ausgang High sein. Sind beide Eingänge Low, wird der Ausgang Low sein.

Eingänge		Ausgang
A	B	Y
H	X	H
X	H	H
L	L	L

Anwendung:

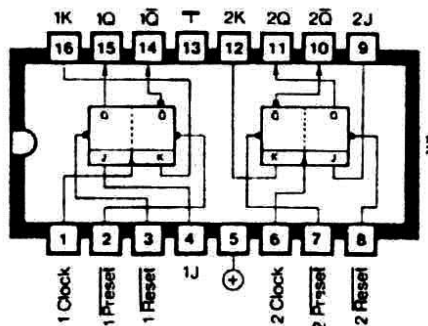
Realisierung von ODER-Funktionen.

Daten:	Std	ALS	AS	F	LS	S	
Durchlauf-Verzögerung	12	8	3.4	4.1	14	4	ns
Stromaufnahme	19	2.2	12	8.2	5	28	mA

Familien:	Std	ALS	AS	F	H	L	LS	S
	●	●	●	●		●	●	●

Vier ODER-Gatter mit je 2 Eingängen

7432



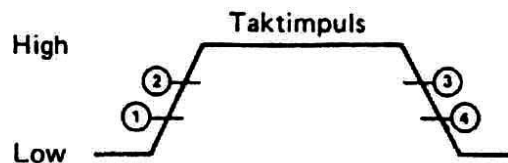
Beschreibung:

Dieser Baustein enthält zwei getrennte JK-Flipflops mit Voreinstellung und Löschen.

Betrieb:

Beide Flipflops können unabhängig voneinander verwendet werden. Standard-TTL und H sind pulstriggert, LS ist negativ flankengetriggert. Bei den pulstriggerten Ausführungen werden die Informationen an den J- und K-Eingängen beim HL-Übergang (negative Flanke) des positiven Taktimpulses transferiert.

Der Ablauf der Vorgänge ist folgender: Bei 1) wird der Slave vom Master getrennt, bei 2) gelangen die Informationen an den J- und K-Eingängen in den Master, bei 3) werden die J- und K-Eingänge abgetrennt und bei 4) werden die Informationen vom Master zum Slave transferiert.



Bei der LS-Ausführung, bei der eine Triggerung mit der negativen Flanke des Taktes erfolgt, kann eine Änderung des logischen Zustandes der Eingänge erfolgen, während das Taktsignal High ist. Dies ist bei den pulstriggerten Ausführungen nicht der Fall.

Wenn J auf High und K auf Masse liegt, geht Q beim Takten auf High und \bar{Q} auf Low. Wenn J auf Masse und K auf High liegt, geht Q beim Takten auf Low und \bar{Q} auf High. Liegt sowohl J wie K auf High, wechselt jeder Takt die Zustände von Q und \bar{Q} , womit eine binäre Teilung möglich ist.

Liegt J und K gleichzeitig auf Masse, bewirkt das Takten keine Änderung der Ausgänge. Die Eingänge Preset und Reset sollten für den Normalbetrieb offen gelassen oder auf +5V gelegt werden. Wird der Reset-Eingang auf Masse gelegt, so geht das Flipflop sofort in einen Zustand mit Q = Low und \bar{Q} = High. Wird der Preset-Eingang auf Masse gelegt, so geht sofort Q auf High und \bar{Q} auf Low. Beide Eingänge sollten niemals gleichzeitig auf Masse gelegt werden, da sich sonst ein nicht stabiler Zustand ergibt, der nicht erhalten bleibt, wenn Preset und/oder Reset inaktiv (High) werden.

Anwendung:

Register, Zähler, Steuerschaltungen.

Daten:	Std	H	LS	
Min. garantierte Taktfrequenz	15	25	30	MHz
Durchlauf-Verzögerung	20	18	15	ns
Stromaufnahme	20	32	4	mA

Familien:	Std	ALS	AS	F	H	L	LS	S
	●				●		●	

Zwei JK-Flipflops mit Voreinstellung und Löschen

7476