

An die Vizepräsidentin/den Vizepräsidenten für Forschung, Entwicklung und Technologietransfer der Fachhochschule Braunschweig/Wolfenbüttel

Forschungsbericht (Kurzfassung)

SS 2004

BERMBACH, Rainer, Prof. Dr.-Ing.

Name, Vorname, Titel, ggf. wiss. Einheit

Elektrotechnik

Fachbereich

28.10.2004

Unterschrift, Datum

Entwicklung eines Mikroprozessorkerns

Thema des Vorhabens

Das FuE-Vorhaben Entwicklung eines Mikroprozessorkerns hatte als Ziel, einen kleinen, flexiblen und frei verfügbaren Prozessorkern in VHDL zu erstellen, der auf preiswerten FPGA-Modulen realisierbar und zusammen mit anderer Hardware implementierbar ist. Die tatsächliche Realisierbarkeit in programmierbarer Hardware ist ein wesentlicher Unterschied zu anderen frei verfügbaren Mikroprozessorkernen, deren Beschreibungen häufig nicht oder höchstens teilweise implementierbar sind. Der Prozessorkern soll mit spezifischen Peripheriekomponenten erweitert bzw. in übergeordnete Systeme eingebunden werden können. Er soll im Rahmen potentieller weiterer FuE-Vorhaben, Projektarbeiten und Laborversuche zum Einsatz kommen sowie als Anschauungsobjekt für entsprechende Lehrveranstaltungen dienen. Im ersten Teil des Vorhabens (ab SS03) konnte bereits das grundlegende Ziel erreicht werden. Es entstand ein adaptierbarer, auf preiswerten FPGA-Modulen (mit Xilinx Spartan II, XC2S200) implementierbarer Kern, der mit den Mikrocontrollern der sog. PICmicro Mid-Range Family der Firma Microchip weitestgehend kompatibel ist. Für eine Beschreibung von Struktur, Eigenschaften und Handhabung des Mikroprozessorkerns sei u.a. auf den Kurzbericht für das SS03 verwiesen.

Der zweite Teil des Vorhabens, die Optimierung, hatte zum Ziel, die Verarbeitungsfrequenz (maximale Taktrate) des Prozessors wenn möglich deutlich zu steigern und dabei den Ressourcenverbrauch zu optimieren. Daneben sollten weitere Peripheriekomponenten entstehen, Fehler beseitigt sowie PIC-Software für die Nutzung mit vorhandenen I/O-Modulen standardisiert werden. Diese Ziele konnten alle erreicht werden.

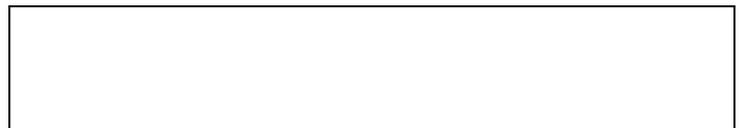
Der Ressourcenverbrauch konnte weiter verringert werden, speziell bei den Modulen ALU und DECODE. Bei den LUTs benötigt die ALU nur noch rund 60% der Vorversion (bezogen auf die Werte nach der Synthese). Auch die Anzahl der Flipflops schrumpfte auf 2/3. Das Modul DECODE benötigt ebenfalls nur noch etwa 2/3 der bisherigen Strukturen. Bezogen auf das Gesamtdesign sind die prozentualen Änderungen nivelliert, fallen aber mit 10 % bis knapp 20 % doch nicht unwesentlich aus. Setzt man die im Design verwendeten Slices, Flipflops und LUTs ins Verhältnis zu den im FPGA verfügbaren ergibt sich der Ausnutzungsgrad des FPGAs. Dieser fiel bei den Slices von 17,3 % auf 14,6 %, bei den Flipflops von 8,3 % auf 7,5 % und bei den LUTs von 15,6 % auf 12,6 %. Insgesamt kann man sagen, daß der Ressourcenbedarf für das Design sehr gut optimiert wurde. Mit Ausnahme der Ports gibt es keinerlei fixe Positionierungen auf dem Chip, was üblicherweise noch zu wesentlichen Einsparungen führt. Ziel war es ja, einen reinen „Software“-Kern zu erstellen, der sich auf den üblichen Strukturen günstig und ohne Beschränkungen implementieren läßt.

Das zeigt sich auch bei den erreichten Geschwindigkeitsverbesserungen. So arbeitet der Mikroprozessorkern jetzt mit über 80 MHz Taktfrequenz (max. 82,6 MHz gemäß Routing-Tool) gegenüber > 25 MHz im ersten Entwurf. Lediglich noch 10 – 15 Signalpfade (je nach Routing-Lauf) benötigen mehr als 10 ns, damit ist das Design nahe der 100-MHz-Grenze. Vergleichbare reguläre PIC-Prozessoren laufen mit maximal 20/24 MHz. Bei den Untersuchungen zeigte sich eine starke Abhängigkeit des Ergebnisses von der Qualität der Place & Route-Läufe. Versuche ergaben maximale Frequenzen von 69,4 – 82,6 MHz. Interessant an den sich ergebenden Verzögerungszeiten der kritischen Pfade ist, daß der Logikteil mit etwa 4 ns relativ konstant blieb und der Anteil durch das Routing je nach Durchlauf zwischen ca. 8 und 10 ns variierte.

Überhaupt beträgt der Routing-Anteil an der Verzögerung mittlerweile etwa 66 – 72 %. Damit sind weitere Verbesserungen der Logikstruktur wenig sinnvoll, da sie nur zu einem Bruchteil eingehen. Dies zeigt sich auch drastisch durch die probeweise Implementation auf einem FPGA-Board mit einem Spartan III, der Nachfolgeneration von Spartan II. Diese Chips werden mit kleineren Strukturgrößen (90 nm) gefertigt und besitzen deshalb kürzere Routing-Pfade. Dies ermöglichte auf Anhieb einen Prozessor, der mit 100 MHz Takt lief. Die völlig problemlose Portierung auf eine neue Architektur spricht ebenfalls für die erreichte Leistungsfähigkeit des Designs.

Weitergehende Informationen finden sich im ausführlichen Forschungsbericht.

Ergebnisbericht, insbesondere über neue Erkenntnisse



gesehen und weitergeleitet: Vizepräsident/in für Forschung, Entwicklung und Technologietransfer