

Dateiname: DA040_Jakob_M

Titel:

Realisierung eines 2,5Gbit/s-Pseudo-Random-Bit-Sequence-Generators und -Analytators in einem XILINX-FPGA

Bearbeiter:

Martin Jakob

Text der Kurzfassung:

In dieser Diplomarbeit ist im Rahmen eines Praktikums bei der Intel GmbH in Braunschweig ein PRBS-Generator und -Analysator in einem Xilinx Virtex-E FPGA entwickelt worden. Zur Steuerung des Systems wird ein ARM-basierter Mikrocontroller verwendet, der sich auf einem vorhandenen Controller-Board mit FPGA befindet. Für den rechnerunabhängigen Betrieb ist eine Menüsteuerung entwickelt worden, die sich ebenfalls auf dem Controller-Board befindlichen vier Tastern, vier LEDs und eines LC-Displays bedient. Zur Realisierung einer komplexeren Testumgebung wurde eine Möglichkeit geschaffen, das System mit einfachen ASCII-Befehlen über die serielle Schnittstelle, zum Beispiel unter Verwendung eines Terminalprogramms auf einem PC, zu steuern.

Das System gewährleistet eine Gesamtdatenrate von 2.5 Gbit/s, die über 16 Kanäle mit einer Datenrate von jeweils 155 Mbit/s realisiert wird. Um eine niedrige interne Taktfrequenz im FPGA bei dieser Datenrate zu erreichen, sind Multiplexer- und Demultiplexerstrukturen implementiert worden.

Die verfügbaren PRBS-Sequenzen sind in dem ITU-T Standard O.150 beschrieben und werden durch linear rückgekoppelte Schieberegister erzeugt. Das Design im FPGA arbeitet mit einer internen Bitbreite von 128 Bit. Aus diesem Grund ist eine Software entwickelt worden, die auf der Basis der rückgekoppelten Schieberegister eine XOR-Logik berechnet, die mit jedem Takt eine 128 Bit breite PRBS-Sequenz zur Verfügung stellt.

Im Generator wird ein ungeframetes Testpattern erzeugt, in das Einzelbitfehler oder Fehler einer konstanten Rate eingefügt werden können. Im Analysator werden die empfangenen Daten mit Hilfe eines weiteren PRBS-Generators auf Fehler überprüft. Dazu synchronisiert sich der Analysator auf die empfangenen Daten und vergleicht diese dann mit einem im Analysator unabhängig gebildeten PRBS-Datenwort. Das Ergebnis wird in einem Vergleichsregister gespeichert und mit Hilfe des Mikrocontrollers als absolute Bitfehlerzahl und als Fehlerrate (Bitfehlerzahl pro übertragene Datenbits) angezeigt. Zur besseren Analyse können die empfangenen Daten in einem RAM gespeichert werden. Die Statusanzeige und die Kontrolle der Sende- und Empfangseinheit erfolgt durch ein zentrales Register File, das mit Hilfe des Mikrocontrollers ausgelesen und beschrieben werden kann.