

Forschungsbericht SS 2009

Analyse und Prototypisierung zur Entwicklung von Embedded Systemen unter Verwendung von freien Prozessor-IPs (1. Teil)

Prof. Dr.-Ing. Rainer Bermbach

In Embedded Systemen finden in zunehmendem Maße sog. IPs (Intellectual Properties, „geistiges Eigentum“) statt diskreter Bausteine Einsatz. IPs sind Beschreibungen („Baupläne“) in verschiedenster Form von Prozessoren, Peripheriekomponenten etc., die in kundenspezifischen Bausteinen (FPGAs und ASICs) weitgehend die gesamte Hardware von Embedded Systemen in einem Chip (System-On-Chip, SOC) realisieren können. Die Entwickler setzen dazu die IPs für die gewünschte Gesamtfunktionalität zusammen und verbinden bzw. ergänzen sie mit eigener Hardware ähnlich einem konventionellen Design, nur dass es sich um einen Chipentwurf handelt.

Prozessorfirmen und Designhäuser entwickeln und stellen diese IPs über verschiedenste Lizenzmodelle bereit. Aus unterschiedlichen Gründen stellen Entwickler auch frei verfügbare IPs (Open IPs, Free IPs) zur Verfügung, ähnlich der Open-Source-Szene in der Softwareentwicklung.

Das beantragte Forschungsprojekt untersuchte u.a. das Angebot an solchen freien IPs im Hinblick auf die Entwicklung eines anpassbaren, leistungsfähigen 32-Bit-Prozessor-systems für Embedded Anwendungen in programmierbarer Hardware wie FPGAs (Field Programmable Gate Arrays). Aufgrund der Kürzung der Forschungsfreistellung konnten die verfügbaren IPs von Prozessoren und Peripheriekomponenten nur cursorisch untersucht werden.

Solche freien 32-Bit-Prozessoren (das Angebot an 8- und 16-Bit-Prozessoren wurde nicht näher betrachtet) werden einerseits von den Anbietern von FPGAs zur

Verfügung gestellt, andererseits gibt es aber unabhängige Entwicklergruppen, die allgemein verfügbare, völlig unabhängige IPs zugänglich machen. Grundsätzlich ist hierbei zwischen sog. Soft Cores und Hard Cores zu unterscheiden.

Hard Cores oder Hard Processors sind in FPGAs fest integrierte, dedizierte Hardwareblöcke, die vom Hersteller fertig auf dem Chip integriert sind und dementsprechend nicht wie die restliche Schaltung im FPGA angepasst werden kann. Über meist programmierbare Interfaces und Busse sind diese IPs mit Peripheriekomponenten und anderen Schaltungsteilen verbindbar und damit nutzbar. Typische Vertreter dieser Gattung sind ARM9- und MIPS-Prozessoren beim Hersteller Altera sowie die PowerPC-Prozessoren PPC405 und PPC440 bei Xilinx. Sie sind lizenzfrei nutzbar, die Kosten sind meist mit dem Kauf des FPGA abgegolten. Für kleinere FPGA-Hersteller scheint die Lizenzierung solcher Hard IPs zu kostenintensiv zu sein und wird von diesen nicht angeboten.

Im Gegensatz zu den Hard Cores werden Soft Cores oder Soft Processors erst in FPGAs geladen und nutzen dort die programmierbare Hardware wie andere Schaltungen auch, belegen aber dadurch Teile der vorhandenen Ressourcen. Innerhalb dieser Gruppe von IPs kann man noch unterscheiden zwischen Prozessoren, für die der Code prinzipiell änderbar in einer Hardwarebeschreibungssprache (HDL), meist in VHDL oder Verilog vorliegt, und solchen, die als optimierte, vorkompilierte Module in die FPGAs zu laden sind. Letztere sind vergleichbar mit vorkompilierten Software-Bibliotheken, für die auch kein Source Code

Tabelle 1: 32-Bit-Mikroprozessor-Cores zur Implementation in FPGAs

Mikroprozessor	Anbieter	Typ	Source	Bus	Toolchain	Bemerkungen
Power PC 440	Xilinx (IBM)	Hard IP	-	PLB, OPB	GCC/Xilinx IDE	Peripherie-IP-Library
PowerPC 405	Xilinx (IBM)	Hard IP	-	PLB, OPB	GCC/Xilinx IDE	Peripherie-IP-Library
Cortex-M1	ARM	Soft IP	nein	AMBA	ARM/FPGA-Hersteller	kommerzielles Produkt
Leon3 (SPARC)	Gaisler Aeroflex	Soft IP	VHDL	AMBA	GCC/Altera + Xilinx IDE	Peripherie-IP-Library
NIOS II	Altera	Soft IP	nein	Avalon	GCC/Altera IDE	Peripherie-IP-Library
V1 Coldfire	Altera (Freescale)	Soft IP	nein	Avalon	Altera IDE / Freescale	
MicroBlaze	Xilinx	Soft IP	nein	PLB, OPB	GCC/Xilinx IDE	Peripherie-IP-Library
OpenFire	free / Virginia Tech CCM	Soft IP	Verilog	PLB, OPB	GCC/Xilinx IDE	MicroBlaze Codekompatibel
aeMB	free / Opencores	Soft IP	Verilog	Wishbone	GCC/Xilinx IDE	MicroBlaze Codekompatibel
Mico32	Lattice	Soft IP	Verilog	Wishbone	GCC/Lattice IDE	soc-lm32 für Altera/Xilinx
OpenRISC	free / Opencores	Soft IP	Verilog	Wishbone	GCC	
Plasma	free / Opencores	Soft IP	VHDL	Wishbone	GCC	
Zylin CPU	Zylin	Soft IP	VHDL	Wishbone	GCC	

geliefert wird. Mitglieder dieser Gruppe sind der NIOS II von Altera sowie der MicroBlaze (DLX abgeleitet) von Xilinx. Beide sind lizenz- und kostenfrei nutzbar. Allerdings müssen die Entwicklungsumgebung und die dazugehörigen Tools erworben werden (was für akademische Verwendung meist ebenfalls kostenfrei möglich ist). Kürzlich gab Xilinx bekannt, dass sie in Zukunft auch ARM-Prozessoren für ihre FPGAs (vermutlich) als Soft-IPs anbieten werden.

Zur Gruppe der im Source Code verfügbaren Prozessoren gehören der Leon3 (SPARC-kompatibel,

VHDL), der ursprünglich von der ESA entwickelt und mittlerweile von Aeroflex Gaisler gepflegt und vermarktet wird, der OpenRISC (OR1000, OR1200, Verilog), der auf OpenCores.org zur Verfügung steht sowie der LatticeMico32, eine Adaption einer freien Architektur für Lattice FPGAs. Daneben gibt es noch viele andere, z.B. auch freie, mit Source Code verfügbare Implementationen des MicroBlaze. Tabelle 1 gibt einen Überblick über die als Soft- und Hard-Cores einsetzbaren 32-Bit-Prozessor-IPs für FPGAs.

Alle Prozessoren müssen mit einem Bussystem kommunizieren, an das die benötigten Peripheriekomponenten angebunden werden. Hier spielen im Wesentlichen vier Bussysteme eine Rolle. Die FPGA-Marktführer Xilinx und Altera setzen derzeit primär auf proprietäre Bussysteme. Xilinx verwendet den CoreConnect/PLB und den OPB, um seine Hard- und Soft-Prozessoren sowie die Peripherie anzuschließen. Wie schon erwähnt, will Xilinx in Zukunft mit ARM kooperieren und wird dann den weit verbreiteten ARM-typischen AMBA-Bus mit seinen entsprechenden Unterbussystemen einsetzen. Altera verwendet beim NIOS II den proprietären Avalon-Bus, der u.a. Memory Mapped und Streaming Interfaces vorsieht. Der Leon3 nutzt den AMBA-Bus von ARM, der in der ASIC-Welt weit verbreitet ist. Ein herstellerunabhängiger Bus ist der Wishbone Bus, der beim LatticeMico32 und bei vielen völlig freien IPs zum Einsatz kommt.

Betrachtet man die frei verfügbaren Peripherie-IPs und Interfaces, so ist das Angebot bei den Marktführern Xilinx und Altera sehr reichhaltig. Beispielsweise sind verschiedenste Speicherinterfaces auch für modernste DRAM-Technologien vorhanden. In praktisch allen Fällen sind diese Komponenten jedoch nur parametrierbar, liegen aber nicht im Source Code vor. Bei den herstellerunabhängigen IPs (mit Source Code) gibt es zwar ein großes Angebot, sucht man jedoch nach fertigen und getesteten Designs ist die Auswahl doch sehr beschränkt.

Ausgehend von diesen Untersuchungen wurde im Projekt der SPARC-kompatible LEON3 als Beispielarchitektur ausgewählt. Er liegt im Source Code vor und ist prinzipiell frei verwendbar. Seine Peripherie ist teils ebenfalls frei oder aber für akademische Verwendung frei einsetzbar. Gleiches gilt für die Werkzeuge zur Softwareentwicklung (Toolchain). Der Leon3 lässt sich auf der im Labor vorhandenen Xilinx-Infrastruktur einsetzen. Allerdings zeigte sich recht bald, dass der Ressourcenbedarf eines leistungsfähigen 32-Bit-Prozessorsystems kaum zu den vorhandenen Spartan3 Boards passt und deshalb Hardware mit größeren FPGAs (XUPV2 mit Virtex II) beschafft werden musste.

Der Leon3 verfügt über folgende Spezifika:

- SPARC-V8-Befehlssatz
- Siebenstufige Integer Pipeline
- Hardware-Multiplikations- und Divisions-einheiten, MAC-Einheit
- Leistungsfähige Floating-Point Unit (kostenpflichtig)
- Getrennte, konfigurierbare Befehls- und Datencaches (Harvard-Architektur)
- SPARC Memory Management Unit (inkl. konfigurierbarem TLB)
- AMBA-2.0 AHB Bus
- On-chip Debug Support (Trace Buffer)
- Multiprozessorunterstützung
- Weitestgehend konfigurierbar

Außer dem eigentlichen Prozessor stehen in der sog. GRLIB (von Gaisler Aeroflex) eine Vielzahl von IPs für Peripheriekomponenten und Interfaces zur Verfügung:

- AMBA-Businterfaces und Bridges zwischen AHB und APB
- Speicherinterfaces für PROM, (S)SRAM, SDRAM und DDR2
- UART, verschiedene Timer, Interrupt Controller, GPIO
- 32-Bit-PCI-Interface
- Ethernet Controller
- Serielle Schnittstellen wie USB 2.0, CAN 2.0B, I2C, SPI
- VGA, PS2 und IDE/ATA Controller ...

Der Leon3 und seine Komponenten liegen im VHDL Source Code vor. Grundsätzlich sind also Änderungen und Anpassungen möglich. Eine Untersuchung der Sources zeigte aber bald, dass solche Änderungen sehr schnell die Möglichkeiten der üblichen Forschungsprojekte weit übersteigen. Bestenfalls sind Anpassungen bei einfachen Peripheriekomponenten realisierbar. Alles Weitere würde jeden zeitlichen Rahmen sprengen.

Gaisler Aeroflex stellt auch die angepassten Werkzeuge zu Softwareentwicklung bereit. Um Leon-Systeme entwickeln zu können, wurden diese Werkzeuge unter Linux installiert und konfiguriert. Weiter-

hin wurde eine Linux-Version der Xilinx-IDE installiert. Mit diesen Tools können also Leon3-Systeme konfiguriert, synthetisiert und in das FPGA geladen werden. Mit dem BCC (Compiler) entsteht die Software für den Leon, die entweder simuliert (TSim) oder per GRMON (Hardware Debugger) und GDB/DDD (Debugger und grafische Oberfläche) getestet werden kann (s. Abbildung1):

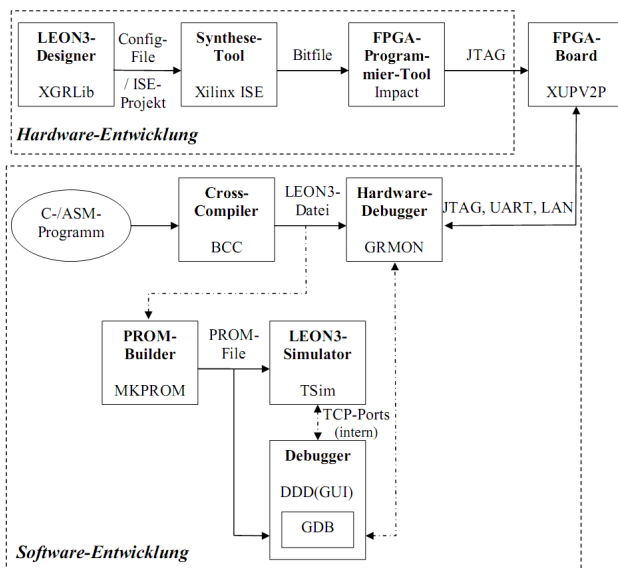


Abb. 1: Entwicklungsumgebung für Leon3-Systeme

Mit diesen Tools entstand eine Reihe von Systemimplementationen. Eine lauffähige Minimalversion umfasst

- den Leon3 mit 2 Register Windows,
- keine MUL/DIV-Einheiten, keine Caches und keine MMU,
- On-Chip ROM,
- AMBA Bus Interface,
- Debug Support
- und SDRAM Controller

und belegt etwa ein Viertel der Ressourcen im FPGA. Ein weitgehender Vollausbau mit zusätzlich Caches, MMU, MUL/DIV, VGA, LAN, Ports etc. verwendet bis zu 94% der Einheiten im FPGA. Dadurch entsteht ein wirklich leistungsfähiges, an die Bedürfnisse anpassbares 32-Bit-Prozessorsystem mit bis zu 120 Dhrystone MIPS bei einer Prozessortaktfrequenz von 100 MHz, wie erste Versuche zeigten.

Kontakt Daten

Ostfalia Hochschule für angewandte Wissenschaften
Fakultät Elektrotechnik
Prof. Dr.-Ing. Rainer Bernbach
Salzdahlumer Straße 46/48
38302 Wolfenbüttel
Telefon: +49 (0)5331 939 42620
E-Mail: r.bernbach@ostfalia.de
Internet: www.ostfalia.de/pws/bernbach