

1	BOOLE'SCHE LOGIK	1-3
1.1	BESCHREIBUNGSFORMEN	1-3
1.1.1	Tabellen	1-3
1.1.2	Boole'sche Gleichungen	1-3
1.1.3	Schaltsymbole	1-4
1.1.4	Hardwarebeschreibungssprachen	1-4
1.2	BOOLE'SCHE FUNKTIONEN	1-5
1.2.1	Boole'sche Funktionen mit einem Eingang und einem Ausgang	1-5
1.2.2	Boole'sche Funktionen mit zwei Eingängen und einem Ausgang	1-5
1.3	GESETZE UND RECHENREGELN DER SCHALTALGEBRA	1-7
1.4	NORMALFORMEN	1-8
1.4.1	Disjunktive Normalform (DNF)	1-8
1.4.2	Konjunktive Normalform (KNF)	1-8
1.5	FUNKTIONSMINIMIERUNG	1-9
1.5.1	Minimierung mit den Gesetzen der boole'schen Algebra	1-9
1.5.2	Minimierung durch algorithmische Verfahren	1-9
1.5.3	Minimierung mit Karnaugh-Veitch-Diagramm	1-9
2	DATENREPRÄSENTATION	2-10
3	KOMBINATORISCHE GRUNDSCHALTUNGEN	3-3
3.1	MULTIPLEXER UND DEMULTIPLEXER	3-3
3.1.1	Multiplexer	3-3
3.1.2	Demultiplexer	3-5
3.1.3	Anwendungsbeispiel Serializer/Deserializer	3-5
3.1.4	Realisierung boole'scher Funktionen mit Multiplexern	3-6
3.1.5	Realisierung boole'scher Funktionen mit Demultiplexern	3-7
3.2	DECODER UND ENCODER	3-8
3.2.1	1-aus-n-Decoder	3-8
3.2.2	BCD-zu-Dezimal-Decoder	3-9
3.2.3	BCD-zu-Siebensegment-Decoder	3-10
3.2.4	Prioritätsdecoder	3-11
3.2.5	Paritätsgeneratoren	3-12
3.3	ARITHMETISCHE GRUNDSCHALTUNGEN	3-13
3.3.1	Komparatoren	3-13
3.3.2	Addierer	3-14
3.3.3	Subtrahierer	3-15
3.3.4	Logische Funktionen	3-16
3.3.5	Schiebeoperationen	3-16
3.4	HASARDS	3-17
3.4.1	Hasard-Beispielschaltung	3-17
3.4.2	Eliminierung des Hasards im Beispiel	3-18
3.4.3	Klassifizierung von Hasards	3-19
4	FLIPFLOPS	4-3
4.1	KLASSIFIZIERUNG DER FLIPFLOPS	4-3
4.2	ASYNCHRON RÜCKGEKOPPELTE SCHALTUNGEN	4-3

4.3	TAKTZUSTANDSGESTEUERTE FLIPFLOPS.....	4-4
4.4	FLANKENGESTEUERTE FLIPFLOPS	4-5
4.4.1	D-Flipflop.....	4-5
4.4.2	T-Flipflop	4-6
4.4.3	JK-Flipflop	4-6
4.4.4	Realisierung der anderen Flipfloptypen mit D-Flipflops	4-6
4.4.5	D-Flipflop mit Taktfreigabe (Clock Enable).....	4-7
5	SEQUENTIELLE SCHALTUNGEN	5-3
5.1	REGISTER UND SCHIEBEREGISTER	5-3
5.1.1	Register	5-3
5.1.2	Schieberegister	5-4
5.2	ZÄHLER.....	5-7
5.2.1	Asynchrone Zähler	5-7
5.2.2	Synchronzähler	5-9
5.2.2.1	Duale Aufwärtzähler	5-9
5.2.2.2	Modulo-n-Zähler.....	5-11
5.2.2.3	Auf-/Abwärtzähler.....	5-12
5.3	SYNCHRONES DESIGN.....	5-12
5.3.1	Synchrone Systeme	5-12
5.3.2	Synchronisation asynchroner Signale	5-14
5.3.2.1	Metastabilität.....	5-15
5.3.3	Spezielle synchrone Schaltungen	5-15
6	SPEICHER.....	6-3
6.1	TIMING	6-4
6.2	SPEICHERTYPEN	6-4
6.2.1	Festwertspeicher	6-4
6.2.1.1	ROM	6-4
6.2.1.2	PROM	6-5
6.2.1.3	EPROM.....	6-5
6.2.1.4	EEPROM	6-5
6.2.1.5	Flash EPROM.....	6-6
6.2.2	Schreib-/Lesespeicher.....	6-6
6.2.2.1	SRAM	6-6
6.2.2.2	DRAM	6-6
7	DIGITALE AUTOMATEN	7-3
7.1	ALLGEMEINE STRUKTUR EINES AUTOMATEN	7-3
7.2	BESCHREIBUNGSFORMEN FÜR AUTOMATEN	7-4
7.2.1	Zustandsübergangstabelle	7-4
7.2.2	Zustandsdiagramm (State Diagram).....	7-6
7.3	AUTOMATENTYPEN.....	7-7
7.3.1	Mealy-Automat	7-7
7.3.2	Moore-Automat.....	7-8
7.3.3	Medwedjew-Automat.....	7-9
7.3.4	Autonomer Automat.....	7-9
7.3.5	Umcodierer	7-9
7.4	ZUSTANDSCODIERUNG	7-10
7.4.1	Duale Codierung	7-10

7.4.2	Adjazente Dualcodierung	7-11
7.4.3	Andere Codierungen	7-13
7.4.3.1	One-Hot-Codierung.....	7-13
7.4.3.2	Ausgangsbasierte Codierung	7-13
7.4.4	Nutzung von Redundanzen	7-13
7.4.5	Implementation großer Automaten	7-14
7.5	ASYNCHRON RÜCKGEKOPPELTE SCHALTUNGEN	7-14
7.5.1	RS-Flipflop.....	7-14
7.5.2	Asynchrone Schaltungen mit mehreren Rückkopplungen.....	7-15
7.6	REALISIERUNG VON AUTOMATEN.....	7-16
7.6.1	Verwendung von programmierbarer Logik	7-16
7.6.2	Einsatz von Speichern.....	7-17
7.6.3	Realisierung von Automaten in Software	7-18
8	PRAKTISCHE LOGIKREALISIERUNGEN	8-3
8.1	LOGIKFAMILIEN	8-3
8.1.1	Bipolare Logikfamilien	8-3
8.1.2	CMOS-Logikschaltungen	8-5
8.1.3	CMOS-Logikfamilien	8-7
8.1.4	BiCMOS-Logikfamilien	8-8
8.1.5	Low-Voltage-Logik.....	8-8
8.1.6	Übersicht und Vergleich der Logikfamilien	8-9
8.1.6.1	Bezeichnung von Logikbausteinen	8-9
8.1.6.2	Lebenszyklen von Logikfamilien.....	8-10
8.1.6.3	Kategorisierung nach technischen Daten	8-11
8.1.7	Kopplung verschiedener Logikfamilien.....	8-12
8.2	TYPISCHE LOGIKBAUSTEINE – SPEZIELLE BEGRIFFE, EFFEKTE, CHARAKTERISTIKA UND FUNKTIONEN.....	8-13
8.2.1	74xxx00 – vier zweifach NANDs (Informationen des Datenblatts, Verzögerungszeiten, Fan In/Fan Out, Corner Pinning)	8-13
8.2.2	74xxx05 – sechs Inverter (Open-Collector-/Open-Drain-Ausgang, max. Rise/Fall Time, CMOS-Eingangsstrom, Eingangskapazität).....	8-14
8.2.3	74xxx132 – vier zweifach NANDs (Schmitt-Trigger-Eingänge)	8-16
8.2.4	74xxx74 – zwei positiv flankengetriggerte D-Flipflops (ESD-Schutz, Setup/Hold Time, Verzögerungszeit Clock to Output)	8-16
8.2.5	74xxx138 – 1-aus-8-Decoder (Latch-up).....	8-17
8.2.6	74xxx245 – 8fach Bustreiber/-empfänger (Busse, tristate, Transceiver, Ausgangstreiber)	8-18
8.3	TIMING-BERECHNUNG	8-20
9	IMPLEMENTIERUNG DIGITALER SCHALTUNGEN	9-3
9.1	EINTEILUNG DIGITALER INTEGRIERTER SCHALTUNGEN.....	9-3
9.2	SPLDs	9-4
9.2.1	Strukturen von PROMs, PLAs und PALs.....	9-4
9.2.2	PAL-Bausteine	9-7
9.2.3	GAL-Bausteine	9-8
9.3	CPLDs.....	9-11
9.4	FPGAs.....	9-14
9.4.1	Verdrahtungsressourcen	9-15

9.4.2	Aufbau eines CLBs.....	9-15
9.4.3	Struktur eines IOBs	9-16
9.4.4	Zusätzliche interne Einheiten	9-17
9.4.5	Übersicht Eigenschaften der FPGA-Familien Spartan II und Virtex II	9-18
9.4.6	Programmiertechnologien	9-18
9.5	GATE ARRAYS	9-19
9.6	STANDARDZELLEN.....	9-20
10	BESCHREIBUNG VON LOGIK.....	10-3
10.1	BESCHREIBUNG DIGITALER INTEGRIERTER SCHALTUNGEN	10-3
10.1.1	Schaltplaneingabe.....	10-3
10.1.2	Verwendung von HDLs	10-4
10.1.3	Entwurfsprozeß	10-5
10.2	SCHALTUNGSBESCHREIBUNG MIT ABEL	10-6
10.3	SCHALTUNGSBESCHREIBUNG MIT VHDL	10-6