

## Lösung zur Klausur Vertiefung Digitaltechnik im WS 2013/2014

6. Januar 2013 Bearbeitungszeit 90 min.

Erlaubte Hilfsmittel: nur Taschenrechner

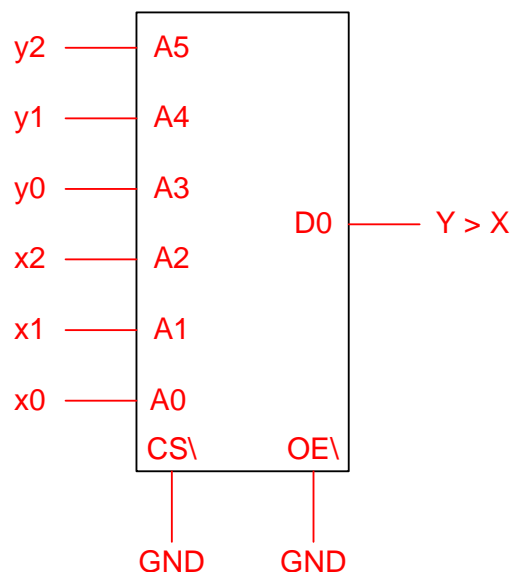
### Aufgabe 1:

Mit einem Speicher (PROM) soll ein Größenvergleich zwischen zwei Dualzahlen  $X = [x_2, x_1, x_0]$  und  $Y = [y_2, y_1, y_0]$  erfolgen.  $x_0$  bzw.  $y_0$  sind die jeweiligen LSBs,  $y_2$  bzw.  $x_2$  die jeweiligen MSBs. Der Ausgang  $Y > X$  signalisiert mit positiver Logik, dass die Dualzahl  $Y$  größer als  $X$  ist.

a) Welche Organisationsform hat der Speicher, um die Aufgabe zu realisieren (Herleitung)?

**$X + Y$  je 3 Bit  $\Rightarrow$  6 Adressleitungen,  $Y > X \Rightarrow$  eine Datenleitung  $\Rightarrow 2^6 \times 1 \text{ Bit} = 64 \times 1 \text{ Bit}$**

b) Zeichnen Sie den Speicher nach a) unter Angabe aller (inneren) Adress-, Daten- und Steuerleitungen. Skizzieren Sie dann die Außenverschaltung des Speichers, wobei  $X$  auf den unteren Adressleitungen,  $Y$  auf den oberen liegen soll.  $x_0$  liegt auf Adresse  $A_0$  und  $y_2$  auf der obersten Adresse, die anderen entsprechend (= aufsteigende Indizes). Bezeichnen und verschalten Sie die Steuerleitungen des Speichers.



c) Geben Sie die Inhalte folgender Speicherstellen dual an (Herleitung), wenn der Speicher die gewünschte Funktion erfüllen soll:

Adresse (hex)	Inhalt (dual)	Herleitung
1Ah	1	1Ah = Y:011 X:010      Y > X
1Eh	0	1Eh = Y:011 X:110      X > Y
2Ch	1	2Ch = Y:101 X:100      Y > X
39h	1	39h = Y:111 X:001      Y > X

**Aufgabe 2:**

Die Codierung der Zustände eines Automaten soll mit Hilfe der adjazenten Dualcodierung optimiert werden. Der Automat besitzt sechs Zustände ( $Z_0, Z_1, Z_2, Z_3, Z_4, Z_5$ ). Ein Eingangsvektor  $X$  (2 Bit breit) steuert abhängig vom aktuellen Zustand die Übergänge von einem Zustand zu nächsten. Die Codierungen von  $Z$  und  $X$  können frei gewählt werden. Der Automat besitzt die folgende Zustandsübergangstabelle. (Ausgangssignale sollen nicht betrachtet werden).

$Z(t_k)$	Input	$Z(t_{k+1})$
$Z_0$	$X_0$	$Z_0$
$Z_0$	$X_1$	$Z_2$
$Z_0$	$X_2$	$Z_4$
$Z_0$	$X_3$	$Z_2$
$Z_1$	$X_0$	$Z_0$
$Z_1$	$X_1$	$Z_3$
$Z_1$	$X_2$	$Z_0$
$Z_1$	$X_3$	$Z_5$

$Z(t_k)$	Input	$Z(t_{k+1})$
$Z_2$	$X_0$	$Z_1$
$Z_2$	$X_1$	$Z_5$
$Z_2$	$X_2$	$Z_4$
$Z_2$	$X_3$	$Z_4$
$Z_3$	$X_0$	$Z_3$
$Z_3$	$X_1$	$Z_3$
$Z_3$	$X_2$	$Z_2$
$Z_3$	$X_3$	$Z_2$

$Z(t_k)$	Input	$Z(t_{k+1})$
$Z_4$	$X_0$	$Z_4$
$Z_4$	$X_1$	$Z_0$
$Z_4$	$X_2$	$Z_5$
$Z_4$	$X_3$	$Z_1$
$Z_5$	$X_0$	$Z_0$
$Z_5$	$X_1$	$Z_1$
$Z_5$	$X_2$	$Z_3$
$Z_5$	$X_3$	$Z_1$

- a) Erstellen Sie die quadratische Übergangstabelle, damit man die Regeln für die Codierung mit der adjazenten Dualcodierung leichter anwenden kann.

$Z(t_k)$	$Z(t_{k+1})$					
	$Z_0$	$Z_1$	$Z_2$	$Z_3$	$Z_4$	$Z_5$
$Z_0$	<b>X0</b>	-	<b>X1 v X3</b>	-	<b>X2</b>	-
$Z_1$	<b>X0 v X2</b>	-	-	<b>X1</b>	-	<b>X3</b>
$Z_2$	-	<b>X0</b>	-	-	<b>X2 v X3</b>	<b>X1</b>
$Z_3$	-	-	<b>X2 v X3</b>	<b>X0 v X1</b>	-	-
$Z_4$	<b>X1</b>	<b>X3</b>	-	-	<b>X0</b>	<b>X2</b>
$Z_5$	<b>X0</b>	<b>X1 v X3</b>	-	<b>X2</b>	-	-

- b) Markieren Sie (durch Umkreisen) die Paare  $X_i X_m$ , des Eingangsvektors  $X$ , die nach Regel 1 der adjazenten Dualcodierung einschrittig codiert werden sollten:

$X_0 X_1$   $X_0 X_2$   $X_0 X_3$   $X_1 X_2$   $X_1 X_3$   $X_2 X_3$

- c) Geben Sie eine passende Codierung des Eingangsvektor an:

$X_0$	$X_1$	$X_2$	$X_3$	
<b>00</b>	<b>10</b>	<b>01</b>	<b>11</b>	
<b>00</b>	<b>01</b>	<b>10</b>	<b>11</b>	
<b>01</b>	<b>11</b>	<b>00</b>	<b>10</b>	
<b>01</b>	<b>00</b>	<b>11</b>	<b>10</b>	<b>und inverse</b>

**Aufgabe 3:**

Die Codierung der Zustände eines weiteren Automaten soll mit Hilfe der adjazenten Dualcodierung optimiert werden. Der Automat besitzt vier Zustände ( $Z_0, Z_1, Z_2, Z_3$ ). Ein Eingangsvektor  $X$  (2 Bit breit) steuert abhängig vom aktuellen Zustand die Übergänge von einem Zustand zu nächsten. Die Codierungen von  $Z$  und  $X$  können frei gewählt werden. Der Automat besitzt die folgende quadratische Zustandsübergangstabelle. (Ausgangssignale sollen nicht betrachtet werden).

$Z(t_k)$	$Z(t_{k+1})$			
	$Z_0$	$Z_1$	$Z_2$	$Z_3$
$Z_0$	$X_1 \vee X_2$	$X_3$	-	$X_0$
$Z_1$	$X_1$	-	$X_2$	$X_0 \vee X_3$
$Z_2$	-	$X_2 \vee X_3$	$X_1$	$X_0$
$Z_3$	-	$X_2$	$X_0 \vee X_1$	$X_3$

Die Codierung des Eingangsvektors sei jetzt in folgender Weise gewählt:

$$X_0 = 11 \quad X_1 = 10 \quad X_2 = 00 \quad X_3 = 01$$

- a) Erstellen Sie die Liste der Paare  $Z(t_k)$  mit gemeinsamem Nachfolgezustand bei gleichem  $X_i$ , um die Voraussetzung für die Anwendung der Regel 2 der adjazenten Dualcodierung zu schaffen.

Paar	Anzahl	mit $X_i$ nach $Z_j$ ; mit $X_k$ nach $Z_l \dots$
$Z_0Z_1$	2	mit $X_1 \rightarrow Z_0$ ; mit $X_0 \rightarrow Z_3$
$Z_0Z_2$	2	mit $X_3 \rightarrow Z_1$ ; mit $X_0 \rightarrow Z_3$
$Z_0Z_3$	0	
$Z_1Z_2$	1	mit $X_0 \rightarrow Z_3$
$Z_1Z_3$	1	mit $X_3 \rightarrow Z_3$
$Z_2Z_3$	2	mit $X_2 \rightarrow Z_1$ ; mit $X_1 \rightarrow Z_2$

- b) Erstellen Sie die Liste der Paare von Nachfolgezuständen  $Z(t_{k+1})$  mit Übergang aus gleichem Zustand durch einschrittige Eingangselemente gemäß der gewählten Codierung für  $X$ , um die Voraussetzung für die Anwendung der Regel 3 der adjazenten Dualcodierung zu schaffen.

Paar	Anzahl	aus $Z_i$ mit $X_jX_k$ ; aus $Z_l$ mit $X_mX_n \dots$
$Z_0Z_1$	1	aus $Z_0$ mit $X_2X_3$
$Z_0Z_2$	1	aus $Z_1$ mit $X_1X_2$
$Z_0Z_3$	2	aus $Z_0$ mit $X_0X_1$ ; aus $Z_1$ mit $X_0X_1$
$Z_1Z_2$	2	aus $Z_2$ mit $X_1X_2$ ; aus $Z_3$ mit $X_1X_2$ ;
$Z_1Z_3$	3	aus $Z_0$ mit $X_0X_3$ ; aus $Z_2$ mit $X_0X_3$ ; aus $Z_3$ mit $X_2X_3$ ;
$Z_2Z_3$	3	aus $Z_1$ mit $X_2X_3$ ; aus $Z_2$ mit $X_0X_1$ ; aus $Z_3$ mit $X_0X_3$ ;

- c) Geben Sie eine Codierung für die Elemente des Zustandsvektors  $Z$  gemäß dem Verfahren der adjazenten Dualcodierung an und begründen Sie, warum Sie diese Codierung gewählt haben.

$$\text{z.B. } Z_0 = 00 \quad Z_1 = 01 \quad Z_2 = 10 \quad Z_3 = 11$$

Bedingungen aus Regeln 2 und 3 nicht alle erfüllbar. Hier wurden primär alle „2x“ aus 2 und alle „3x“ aus 3 als einschrittige Paare gewählt →

Regel 2:  $Z_0Z_1(2x)$   $Z_0Z_2(2x)$   $Z_1Z_3(1x)$   $Z_2Z_3(2x)$  nicht erfüllt  $Z_1Z_2(1x)$

Regel 3:  $Z_0Z_1(1x)$   $Z_0Z_2(1x)$   $Z_1Z_3(3x)$   $Z_2Z_3(3x)$  nicht erfüllt  $Z_0Z_3(2x)$   $Z_1Z_2(2x)$

**Aufgabe 4:**

Der 8 Bit breite Datenbus (interner DB) eines Mikroprozessors soll über einen Transceiver des Typs 74BCT245 (Datenblattauszüge s. n. S.) mit dem Datenbus des restlichen Prozessorsystems (externer DB) zur Datenbuspufferung verbunden werden (s. Bild u.). Die Pufferung ist nötig, da der Mikroprozessor eine zu geringe Treiberfähigkeit hat, um den hoch belasteten externen DB direkt zu treiben.

Die Kontrollsignale  $OE\backslash$  und  $DIR$  des 74BCT245 sollen aus den Kontrollsignalen  $RD\backslash$  und  $WR\backslash$  des Mikroprozessors generiert werden (Timingdaten benötigter Logik s. u.).  $RD\backslash$  ist low, wenn der Prozessor vom Datenbus liest;  $WR\backslash$  ist low, wenn der Prozessor eigene Daten auf den Datenbus legt (schreibt):

$RD\backslash$	$WR\backslash$	Aktion	$OE\backslash$	$DIR$
0	0	kommt nicht vor	X	X
0	1	uP liest vom DB	0	0
1	0	uP schreibt auf den DB	0	1
1	1	keine Aktion	1	X

- a) Welcher Port (A oder B) des 74BCT245 sollte an den internen, welcher an den externen Datenbus angeschlossen werden (Begründung)?

**A intern, B extern, da B kräftiger (Ausgangsstrom -15 mA bzw. 64 mA)**

- b) Müssen die Verzögerungszeiten bei der Wahl des Ports berücksichtigt werden (Begründung)?

**nein, da  $t_{PHL}/t_{PLH}$  für A und B gleich**

- c) Bestimmen Sie die Logikgleichung für die Ansteuerung des  $OE\backslash$ -Signals und skizzieren Sie die entsprechende Verschaltung im Bild auf der nächsten Seite.

**$OE\backslash$  low, wenn  $RD\backslash$  oder  $WR\backslash$  low  $\rightarrow OE\backslash = RD\backslash$  and  $WR\backslash$  (AND = Oder für Nullen);  
Wahrheitstabelle s.o.:  $\rightarrow$  AND oder XNOR**

- d) Bestimmen Sie die Logikgleichung für die Ansteuerung des  $DIR$ -Signals und skizzieren Sie die entsprechende Verschaltung im Bild auf der nächsten Seite.

**Wenn  $DIR = RD\backslash$ , ist der Transceiver beim Lesen von B nach A, beim Schreiben von A nach B geschaltet = OK!**

**Wahrheitstabelle s.o.:  $\rightarrow DIR = RD\backslash$  (oder 3 weitere Lösungen:  $= WR\backslash$ ;  $= XNOR$ ;  $= RD\backslash WR\backslash$ )**

- e) Der Mikroprozessor befindet sich im inaktiven Fall ( $RD\backslash = WR\backslash = 1$ ). Anschließend schreibt er auf den Datenbus. Gleichzeitig mit dem Schreibsignal ( $WR\backslash = 0$ ) legt er Daten auf den internen Datenbus. Wann erscheinen die Daten danach spätestens auf dem externen Datenbus (Herleitung)?

**$RD\backslash = 1$ , d.h. Richtung stimmt schon;  $WR\backslash$  läuft durch AND und erzeugt  $OE\backslash$ ;**

**B schaltet von tristate nach aktiv  $\rightarrow$  Verzögerung nach  $WR\backslash$  low:**

$$t_{PHLmax}(\text{AND}) + \max(t_{PZH}, t_{PZL} \text{ des } 245) = 2,5 \text{ ns} + 11,6 \text{ ns} = 14,1 \text{ ns}$$

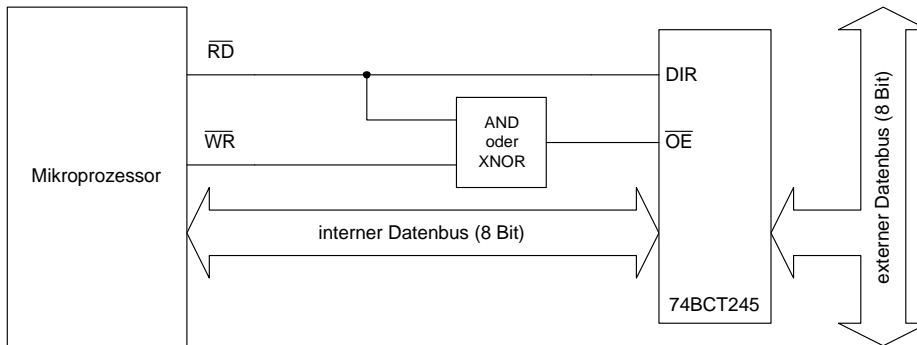
- f) Am Ende des Schreibvorgangs nimmt der Prozessor  $WR\backslash$  auf high. Wie lange liegen die Daten danach längstens auf dem externen Datenbus noch an, wenn der Prozessor die Daten auf dem internen Datenbus 10 ns nach der steigenden  $WR\backslash$ -Flanke wegnimmt (Herleitung)? Bleiben die Daten auf dem externen DB unter allen Umständen bis zur Abschaltung gültig (Begründung)?

**Wenn  $WR\backslash = 1 \rightarrow$  nach  $t_{PLHmax}(\text{AND})$  ist  $OE\backslash = 1 \rightarrow$  nach  $\max(t_{PHZ}, t_{PLZ} \text{ des } 245)$  ist B tristate  $\rightarrow$  Verzögerung nach  $WR\backslash$  high:**

$$t_{PLHmax}(\text{AND}) + \max(t_{PHZ}, t_{PLZ} \text{ des } 245) = 3,5 \text{ ns} + 9,3 \text{ ns} = 12,8 \text{ ns}$$

Durchlaufzeit  $t_{PLH}/t_{PHL}$  spielt keine Rolle, da kleiner als die Einschaltzeiten (praktisch immer bei solchen Bausteinen).

Interner Datenbus noch 10 ns getrieben, min. Verzögerung des 245 ( $\min\{t_{PLH}/t_{PHL}\} = 1 \text{ ns}$ )  
 → nach min. 11 ns kann der externe Datenbus undefiniert werden,  
 d.h. für max. 12,8 ns – 11 ns = 1,8 ns



FUNCTION TABLE

INPUTS		OPERATION
OE	DIR	
L	L	B data to A bus
L	H	A data to B bus
H	X	Isolation

für die Ansteuerlogik von OE\ und DIR:

Switching Characteristics beliebiger Gatter/Inverter

$t_{PLH}$  von bel. Eingang zum Ausgang: min. 1,5 ns max. 3,5 ns  
 $t_{PHL}$  von bel. Eingang zum Ausgang: min. 1,0 ns max. 2,5 ns

recommended operating conditions

		SN54BCT245			SN74BCT245			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
$V_{CC}$	Supply voltage	4.5	5	5.5	4.5	5	5.5	V
$V_{IH}$	High-level input voltage	2			2			V
$V_{IL}$	Low-level input voltage	0.8			0.8			V
$I_{IK}$	Input clamp current	-18			-18			mA
$I_{OH}$	High-level output current	A port		-3	B port		-3	mA
		B port		-12	A port		-15	
$I_{OL}$	Low-level output current	A port		20	B port		24	mA
		B port		48	A port		64	
$T_A$	Operating free-air temperature	-55	125		0	70		°C

switching characteristics (see Note 3)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	$V_{CC} = 5 \text{ V},$ $C_L = 50 \text{ pF},$ $R_1 = 500 \Omega,$ $R_2 = 500 \Omega,$ $T_A = 25^\circ\text{C}$			$V_{CC} = 4.5 \text{ V to } 5.5 \text{ V},$ $C_L = 50 \text{ pF},$ $R_1 = 500 \Omega,$ $R_2 = 500 \Omega,$ $T_A = \text{MIN to MAX}^\dagger$				UNIT
			'BCT245			SN54BCT245		SN74BCT245		
			MIN	TYP	MAX	MIN	MAX	MIN	MAX	
$t_{PLH}$	A or B	B or A	1	4.4	6	1	7.2	1	7	ns
$t_{PHL}$			1.5	4.8	6.6	1.5	7.6	1.5	7	
$t_{PZH}$	OE	A or B	1.5	8	9.4	1.5	11.2	1.5	10.9	ns
$t_{PZL}$			1.5	8	10.2	1.5	11.8	1.5	11.6	
$t_{PHZ}$	OE	A or B	1.5	5.8	8.3	1.5	9.7	1.5	9.3	ns
$t_{PLZ}$			1.5	5.1	7.8	1.5	9.6	1.5	9.1	

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

NOTE 3: Load circuits and voltage waveforms are shown in Section 1.

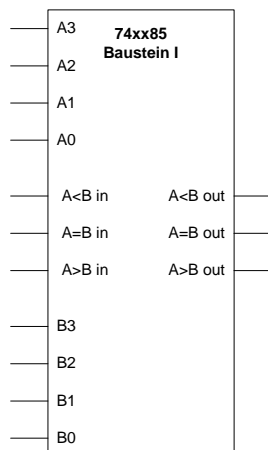
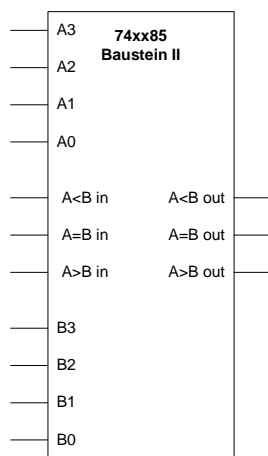
**Aufgabe 5:**

Zwei Bausteine des Größenvergleichers 74xx85 sollen zwei 8-Bit-Dualzahlen  $X = [x_7, x_6, x_5, x_4, x_3, x_2, x_1, x_0]$  und  $Y = [y_7, y_6, y_5, y_4, y_3, y_2, y_1, y_0]$  vergleichen ( $x_7, y_7 = \text{MSBs}$ ;  $x_0, y_0 = \text{LSBs}$ ).

Wahrheitstabelle eines 74xx85

COMPARING INPUTS				CASCADING INPUTS			OUTPUTS		
A3, B3	A2, B2	A1, B1	A0, B0	A > B	A < B	A = B	A > B	A < B	A = B
<b>SINGLE DEVICE OR SERIES CASCADING</b>									
A3 > B3	X	X	X	X	X	X	H	L	L
A3 < B3	X	X	X	X	X	X	L	H	L
A3 = B3	A2 > B2	X	X	X	X	X	H	L	L
A3 = B3	A2 < B2	X	X	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 > B1	X	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 < B1	X	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 > B0	X	X	X	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 < B0	X	X	X	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	H	L	L	H	L	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	H	L	L	H	L
A3 = B3	A2 = B2	A1 = B1	A0 = B0	L	L	H	L	L	H

Geben Sie in der folgenden Tabelle die vollständige logische Verschaltung der beiden Bausteine an, um die Ausgangssignale  $X < Y$ ,  $X = Y$  und  $X > Y$  zu erzeugen.



Pin	Beschaltung
A3	<b>x3</b>
A2	<b>x2</b>
A1	<b>x1</b>
A0	<b>x0</b>
B3	<b>y3</b>
B2	<b>y2</b>
B1	<b>y1</b>
B0	<b>y0</b>
A<B in	<b>GND</b>
A=B in	<b>Vcc</b>
A>B in	<b>GND</b>
A<B out	<b>A&lt;B in von II</b>
A=B out	<b>A=B in von II</b>
A>B out	<b>A&gt;B in von II</b>

Pin	Beschaltung
A3	<b>x7</b>
A2	<b>x6</b>
A1	<b>x5</b>
A0	<b>x4</b>
B3	<b>y7</b>
B2	<b>y6</b>
B1	<b>y5</b>
B0	<b>y4</b>
A<B in	<b>A&lt;B out von I</b>
A=B in	<b>A=B out von I</b>
A>B in	<b>A&gt;B out von I</b>
A<B out	<b>X &lt; Y</b>
A=B out	<b>X = Y</b>
A>B out	<b>X &gt; Y</b>